

第8回

SPICEを使った
パワー・インテグリティの解析(前編)

渡邊貴之, 浅井秀樹

今回からは、電源系のノイズを解析する方法について解説する。具体的には、電圧レギュレータやデカップリング・コンデンサをモデル化し、SPICEによって解析する。デジタル回路の動作クロックの上昇とともに、ボードやチップ内の電源系のノイズの影響が問題となってきた。チップ内配線については、寄生インダクタンス成分についても配慮する必要がある。

(編集部)

本連載でこれまで説明してきたように、シグナル・インテグリティ(信号の品質)を検証するためには、ボード上の配線やケーブルを伝送線路としてモデル化し、SPICE⁽¹⁾などのツールを用いてシミュレーションを行います。

これとは別に、パワー・インテグリティという概念があります。これは電源やグラウンドの品質を意味しています。パワー・インテグリティの検証では、ボードの電源/グラウンド・プレーンを2次元または3次元にモデル化し、デカップリング・コンデンサやLSIの電源モデル、電源レギュレータのモデルを付加して解析を行います。

今回からは、SPICEを使ったパワー・インテグリティの解析方法についてご紹介します。

● 片面、両面基板では伝送線路構造を作るのが難しい

さて、本連載の第5回～第7回^{注1}では、ボード上の配線

を伝送線路としてモデル化するためのモデル・パラメータの抽出方法について紹介しました。ところで、どのような配線であっても伝送線路としてモデル化することができるのでしょうか？

配線がマイクロストリップやストリップ、コプレーナといった線路構造をとっているのであれば、伝送線路としてモデル化できます。しかし、電源やグラウンドがベタ・プレーンとなっている4層以上の多層ボードでなければ、マイクロストリップ線路を構成することは難しいでしょう(もっとも、多層ボードであっても最近プレーンにビア穴が無数にあいており、きれいなマイクロストリップ線路にはならないが...)。RF(高周波)電流が伝わる信号ラインとそのリターン・パス(電源ラインまたはグラウンド・ライン)の断面形状が電流の進行方向に対して変化しないことが、伝送線路としてモデル化できる前提条件なのです。例えば、図1のような伝送線路の標準的な回路図シンボルでは、電流のリターン・パスが端子としてかならず描かれています。

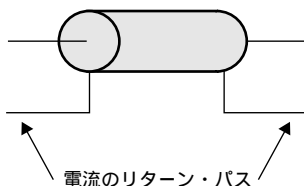
このように片面基板や両面基板では、意図的に伝送線路の構造を作らないかぎり、RF電流のリターン・パスがどこになるのかを特定することは難しいと思います。もしも伝送線路の構造を持たない配線に無理やり高速信号を入力したとしても、配線がアンテナとなって電磁波が放射されるだけで、まともに信号を送れません。

● デジタル・チップ内の配線も伝送線路構造へ

「チップ内の配線でもインダクタンス(L)成分の影響が問

図1
伝送線路の標準的な回路図シンボル

伝送線路モデル(single line)は、かならず4端子素子として表される。



注1: 第5回は本誌2003年4月号のpp.140-146に、第6回は2003年7月号のpp.123-128に、第7回は2003年10月号のpp.142-148に掲載された。

題となってきた」,「チップ全体を引き回すような長い配線では,インダクタンスを考慮する必要がある」といった声が1990年代後半から高速デジタル回路の分野で聞かれるようになってきました.それとともに,「配線のシミュレーションに L を含めるために,どうやってチップ内配線の L 成分を高速に抽出するか」という研究が広く行われています.一般に, L の抽出はキャパシタンス(C)の抽出よりも煩雑です.

ところで,基板専門の技術者だと,「 L 成分を抽出しなくても,配線の単位長さ当たりの C 成分がわかれば公式から L を計算できるのでは?」と考えてしまうかもしれません.

$$L = \frac{\epsilon_r}{v_0^2 C} \quad (1)$$

ここで, v_0 は光速, ϵ_r は比誘電率を示しています.もちろん,この公式が使えるのは,配線がTEM(transverse electro-magnetic)波や準TEM波を伝送する伝送線路の構造になっている場合のみであって,一般にはそう単純ではありません.チップ内では,RF電流のリターン・パスが電源/グラウンド・グリッドなのか,ほかの信号配線なのかを特定することが難しいため, L 成分を詳細に抽出する必要があるのです.

チップ内のローカルな配線は,伝送線路の構造を採用していなくても信号波長に対して十分に短いので問題ありません.しかし,チップ全体を引き回すようなグローバル配線(データ・バス,クロック・ライン,電源配線など)では L 成分の影響が現れるため,そのままではシグナル・インテグリティの確保が困難となります.

一方,MMIC(monolithic microwave IC)のような高周波/マイクロ波用のアナログICでは,チップ内であってもあたりまえのように伝送線路構造が採用されています.「それなら,デジタルICでも伝送線路構造を意図的に作ればよいのでは?」ということで,実際に,最近の高速なマイ

クロプロセッサなどでは,クロック・ラインにコプレーナ構造が採用されたり,電源グリッドが伝送線路的に配置されたりしています.

● 電源系のインピーダンス目標値を設定する

高速デジタル回路用のボードの伝送線路解析では,配線のビア部やコネクタ部について特別な配慮が必要です.すなわち,別途,その部分のRLC成分を抽出して,RLCの集中定数回路(等価回路)を作成し,ほかの部分の伝送線路モデルと組み合わせて解析することになります.

シグナル・インテグリティは,電源系(PDS: power distribution system)の品質の影響を受けます.ここで,ひと口に電源系と言っても,チップ内から電源レギュレータまで,複数のステージが存在します(図2).

チップ内を流れる電流がなんらかの要因で変動すると,電源/グラウンド・パスのインピーダンスによって供給電位が変動します.このインピーダンスは,チップ内では抵抗成分 R が主ですが,パッケージやボードではインダクタンス成分 L が主となります. L の効果は電流の時間変化(di/dt)に比例して効くので,短時間に大きく電流が変動すると,チップに供給される電源電圧が大きく低下します(この現象をrail collapseと呼ぶ).そのため,信号配線における遅延やクロストーク,減衰,反射の検証だけでなく,電源/グラウンド配線を抜き出してノイズ解析を行うパワー・インテグリティの検証も重要となっています.

電源系のノイズを低減させるためには,よく言われているように電源/グラウンド・パスのインピーダンス(抵抗成分とインダクタンス成分)を最小化し,電圧の変動を抑えるためのデカップリング・コンデンサを複数個配置します^{(2),(4)}.そのためには,まず所望のノイズ・レベルを満たす,負荷側から電源系を見たときのインピーダンス目標値 Z_{target} を設定します(図3).

例えば,チップの電源電圧を V_{DD} ,過渡的な電流変動を

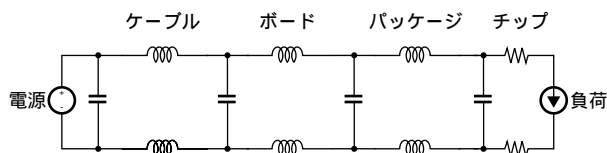


図2 一般的な電源系(PDS)の模式図

電源系における寄生成分については,チップ内は主に抵抗成分を,チップ外は主にインダクタンス成分を考慮する必要がある.また,各レベルでデカップリング・コンデンサを挿入している.

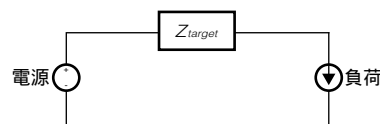


図3 インピーダンス目標値を設定する

パワー・インテグリティでは,所望のノイズ・レベルを満たす,負荷(チップ)側から電源系を見たときの最大のインピーダンスを目標値として設定する.