

# システム設計者や PCB技術者のための 半導体パッケージ技術入門(前編)



パッケージの構造と製造方法

榎本 實

最近では、一つの半導体パッケージに複数のチップを収納するSIP(system in package)が盛んに利用されている。機器メーカーがカスタム・メイドのSIPの製造を半導体メーカーに依頼することも増えている。しかし、SIPを開発するには、ある程度パッケージや実装技術に対する知識が必要になる。これまでのように「パッケージのことは半導体メーカーまかせ」、「基板のことはプリント配線板メーカーまかせ」とはいかなくなる。ここでは半導体パッケージの基本事項について解説する。(編集部)

半導体パッケージ(以下、パッケージ)は、その名のとおり半導体チップ(以下、チップ)を入れる容器です。パッケージには、以下の三つの役割があります。

- チップから電気信号を引き出す役割
- プリント基板にチップを固定する役割
- 外界の影響から内部のチップを保護する役割

LSI製品では、電磁放射ノイズが発生したり、熱や機械的ストレスによって端子がはがれたり、パッケージが割れ

たり、水分によって端子間がショートしたりと、いろいろなトラブルが起こりえます。そのため、LSIを作る側はもちろんのこと、LSIを使う側であっても、パッケージについてある程度の知識が必要です。

そこで本稿では、機器メーカーの半導体ユーザやプリント基板技術者など、パッケージ技術の専門家ではないの方々を対象に、パッケージの構造や製造方法、設計手法、信頼性の確認方法などについて解説していききたいと思います。

## ● 単なる入れ物から付加価値を生む入れ物へ

半導体プロセスの微細化の進展によって、電子機器の機能のほとんどが1チップに入ってしまうほど、現在のLSIは集積化が進んでいます。このような高集積のLSIは、一般に「システムLSI」、あるいは「SOC(system on a chip)」と呼ばれています。図1(a)のように、多くの電子機器は論理回路とメモリ回路を必要としています。これらを1チップ化しようとする、製造工程が複雑になり、開発コストや

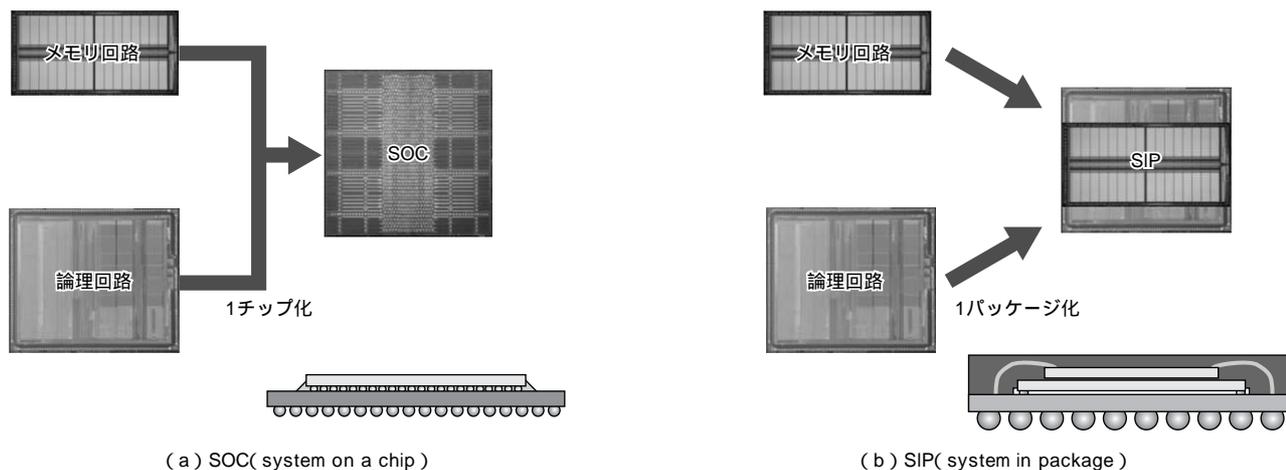


図1 SOCとSIP

SOC(system on a chip)は開発期間と費用がかかるが、小型化・高性能化が可能。SIP(system in package)は開発費と費用をかけないでそこそこの小型化・高性能化を実現できる。

量産コストが高くなったり、開発期間が延びてしまいます。

そこで、最近になって盛んに採用されるようになったのが図1(b)に示す「SIP(system in package)」です。これは、チップを含む複数の電子部品を一つのパッケージに収納し、単一のLSIのように取り扱えるようにしたものです。この場合、パッケージは単なるチップの入れ物ではなく、新たな付加価値を実現するものとなります。

また、これまでチップはパッシベーション(passivation)性が悪く(例えば、化学変化などに弱く)、ケースに入れておかないと電気特性が変わってしまうことがありました。しかし、現在ではパッシベーション性が改善され、また、バンプ形成技術も確立されたため、いわゆる「ベアチップ実装(シリコン・ウェハから切り出した裸のチップをそのままボードに装着する手法)」も実用化されています。

ベアチップ実装には、パッケージ品と同等の性能や品質を保証することが困難であるという問題があります。そこで、ウェハの状態での再配線を行い、チップのパッドと外部のバンプを接続するWLP(wafer level packaging)という技術で作られたWL-CSP(wafer level-chip scale package)が実用化されました。図2にその断面の概略図を示します<sup>(1)</sup>。

このように、最近ではLSIユーザ(機器メーカー)の側でボード上にベアチップを実装したり、任意のチップを組み合わせることでカスタム・メイドのSIPを作ったりできるようになってきました。パッケージ技術の多様化が進む一方で、LSI

は高速・高発熱になってきています。そのため、パッケージの設計では、組み込まれるチップだけでなく、外部の条件(機器の仕様など)まで含めて考える必要があります。

ユビキタス社会の到来により、今後ますます電子機器の小型化、高機能化、高性能化が進むと考えられます。これを実現するためには、図3に示すように機器メーカーや半導体メーカー、プリント配線板メーカーがより緊密に連携し、包括的な実装(Jisso)技術を確立していく必要があるのです<sup>(2)</sup>。

## ● 半導体パッケージには栄枯盛衰がある

収納されるチップの側の要求と使用される電子機器の実装面の要求に応じて、これまで、さまざまな形態のパッケージが実用化されました。ここでは、まず、パッケージの

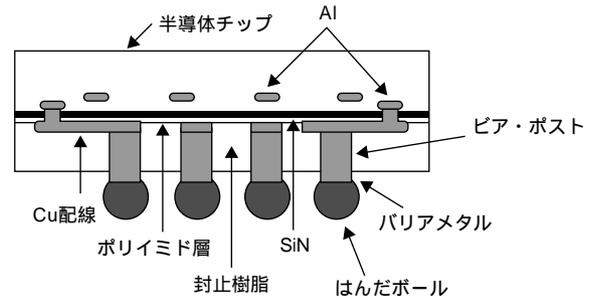


図2 WL-CSP( wafer level-chip scale package )の構造  
ウェハ状態で再配線を行い、チップのパッドと外部のバンプを接続するWLP( wafer level packaging )という技術で作られたCSP。

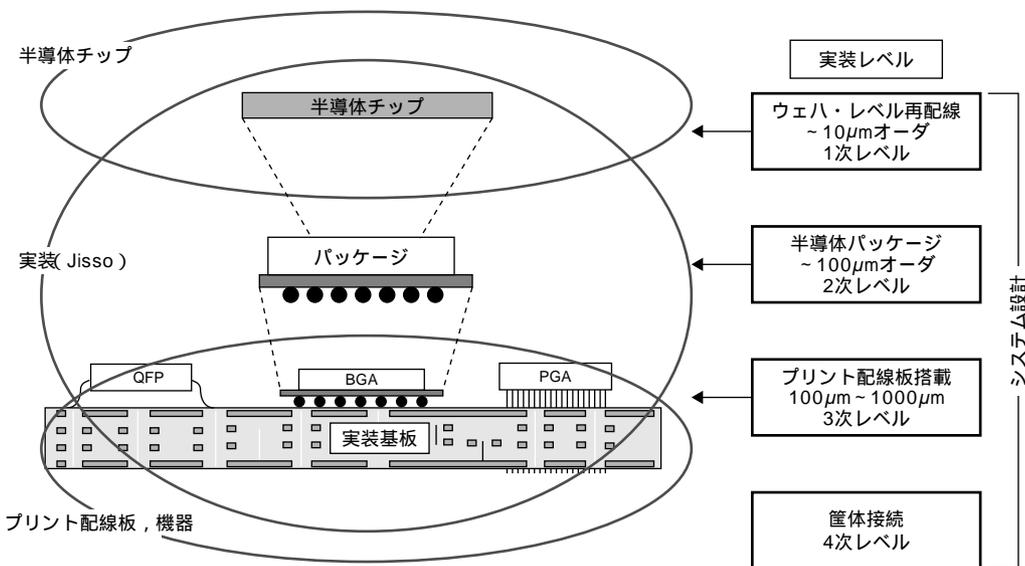


図3 実装(Jisso)技術の基本コンセプト

実装技術とは、半導体、電子部品、半導体パッケージ、プリント配線板、設計などの技術を有機的に結び付け、最適化するシステム設計統合技術である。