

高速シリアル通信プロトコル SerialLite

# オープン・ソースで コンパクトなプロトコル

—Sanjay Rajput, Karl Lu, Bryon Moyer



SerialLiteは、高速2点間データ伝送のための、オープンでコンパクトなシリアル通信プロトコルです。この新しいプロトコルは無償で利用することができます。必須の機能だけに絞込んだ仕様ですが、スケーラビリティ(拡張性)があり、ほかのシリアル通信プロトコルを補完します。例えば、回路規模、レイテンシ、オーバーヘッドを低減します。スケーラブルな仕様なので、無線/有線通信、コンピュータ、ビデオ放送、データ・ストレージ、工業用機器、自動化システムなど、幅広く適用できます。ほかのシリアル通信プロトコルよりもオーバーヘッドが少なく、柔軟性があり、必要に応じて機能を追加することができます。SerialLiteは、数百Gビット・クラスのデータ・レートに対応できます。(筆者)

デジタル革命が進む中、より広い通信帯域幅が求められています。システム性能も、この通信帯域幅に対応するために上がり続けています。バックプレーンやチップ間インターフェースでは、従来、多くのアプリケーションでパラレル方式が用いられていましたが、現在ではシリアル・インターフェースへと置き換わっています。

半導体メーカは40Gbpsを超えるデータ転送速度を処理する能力を備えたLSIを開発しています。最新のシステムでは、1ポート当たり3.125Gbps以上のI/O速度をサポートするトランシーバが使われています。例えば、10GビットEthernetで使われるXAUIプロトコルは、バックプレーン・アプリケーションで一般的になっていますが、ここでは4ポートの3.125Gbpsチャネルを用いて10Gbpsを実現します。通信帯域幅の拡大の要求にこたえるため、高速シリアルI/Oを用いるのがトレンドとなっています。

高速シリアルI/Oが設計者にとって身近になったのは、ここ数年のことです。このため、高速ボード設計、物理層

設計、リンク層設計、シミュレーションなどの問題は、高速シリアルI/Oを実装する技術者にとって負担となっています。時間とコストを節約して物理層やリンク層を確実に開発するために、エンジニアはしばしば既存の方式から解決策を探します。そしてシステム要求に合致するのであれば、PCI Express, RapidIO, XAUIといった既存の標準プロトコルを選択します。

これらのプロトコルは、大規模ネットワークや相互運用システム向けに作られたヘビーなプロトコルで以下のような特徴を持ちます。

- 高い機能を持つ。機能が豊富なだけでなく、シームレスな相互運用のための複雑なしくみを備えている。
- ネットワークのスイッチやそこを通るデータのため、ヘッダにアドレス情報を持ち、比較的複雑なフレーミングとカプセル化を行う。

このような標準プロトコルを必要としない場合は、システム要求に合致した独自のプロトコルを開発することにより、システム効率と性能を引き上げることができます。しかし、独自のプロトコルをゼロから作り上げるとコストがかさみ、ミスが生じやすく、時間もかかります。このため、システム設計者は過剰な機能を持つ標準プロトコルを使わざるをえない状況です。

SerialLiteは、こうした問題を解決するために開発されました。主要な目標は以下のとおりです。

- 高い性能であること。最大3.125GbpsのI/Oをサポートする。
- 小さな回路で実装できること。米国Altera社のStratix GX FPGAで、700LE(Logic Element)以下。
- シンプルなこと。理解しやすく、安定したプラットフォーム(Stratix GX)で、すぐに使用できる。

- 効率的で柔軟性があること、ユーザが必要としない機能を削除できる。

## SerialLiteのアーキテクチャ

SerialLiteは、図1のように、シンプルでわかりやすい構成のプロトコルです。パケットまたはストリームのデータは、パラレル・インターフェースであるAltera社のAtlanticインターフェースによってSerialLiteモジュールに与えられます。SerialLiteモジュールに与えられたデータは、高速差動信号線(「レーン」と呼ぶ)によって外部へと送られます。設計者は、アプリケーションが要求する通信帯域幅に応じて、使用するレーン数を選択できます。

SerialLiteのようにコンフィグレーションを変更できるシリアル・プロトコルは、これまでありませんでした。このプロトコルは高い柔軟性を持っており、設計者が必要とする機能を、必要最小限のリソースで実現します。実装する必要のない機能のために、回路リソースも電力も使う必要はありません。

SerialLiteでは、物理層とデータリンク層が実装されています。現在は、物理層の実装に必要な詳細な情報が提供されています。データリンク層の機能が完成した時点で、設計者がデータリンク層処理の回路をSerialLiteのコアに追加することができます。既存のネットワークにも適用できますが、データリンク層とアプリケーション層を必要としなかったり、OSI階層モデルを必要としないシンプルなデータ転送にも適用できます。

データバス、物理層、データリンク層の関係を図2に示します。

### ● 物理層

新しいプロトコルの開発では、電気的特性が重要になります。高速トランシーバを動作させるためには、高い技術力が必要です。そして世界中の多くのユーザが問題を指摘し、それを一つ一つ解決することにより信頼性が上がっていきます。既存の標準規格には、とてもたくさんのリソースが投じられています。このように、新しい電気的仕様の策定には高い障壁が存在します。そこで、すでに策定済みの規格に合わせる事が肝要です。SerialLiteの電気的特性は、IEEE 802.3aeとして規格化されているXAUIを参考にしています。唯一の違いは、通信速度に拡張性を持たせ

ていることです(XAUIの通信速度は固定)。

SerialLiteの物理層では、業界標準の8B/10B変換を利用しています。これは、8ビットのデータを伝送するために、10ビット・キャラクタに符号化する方式です。このエンコーダは、受信器において、受信データからクロックを再生できるように作られています。高速インターフェースでは一般的な方式であり、比較的シンプルな回路で実現できます。また、Altera社のStratix GXのようなFPGAであれば、8B/10Bのエンコーダとデコーダがあらかじめ内蔵されているので、実質的によけいなリソースを使いません。

SerialLiteは、一つのクロックを使う同期系システムと、複数のクロックを持つシステムで、あるクロック・ドメインから別のクロック・ドメインへデータを送るようなシステムの両方に対応しています。後者の例では、クロックの誤差が300ppmあっても、データが失われない補償機能が提供されます。

SerialLiteは、システム構成に合わせて最小の実装を選べる特徴があります。クロック補償を必要としないのであ

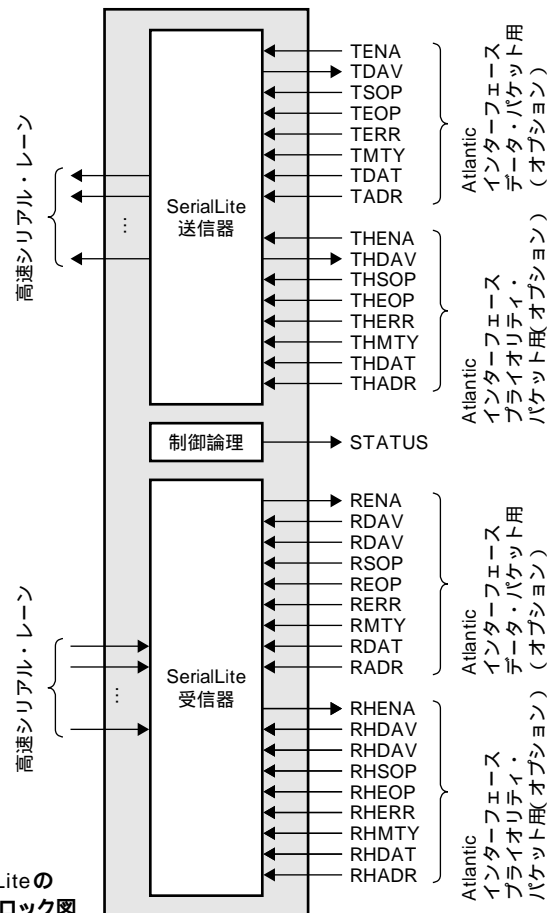


図1  
SerialLiteの  
上位ブロック図