

第7回

論理回路の等価性検証技術(2)

—二つの“似た”回路の等価性検証

藤田昌宏

前回(本誌2004年2月号, pp.125-130)から、二つの設計データの論理的等価性を判定する「等価性検証(equivalence checking)」において、市販のEDAツール(フォーマル・ベリフィケーション・ツール)がどのような処理を内部で行っているのかについて解説している。今回は、内部等価点を利用した手法について説明する。この手法を利用すると、大規模な回路であっても実用時間内に処理を完了することができる。また、回路中にドント・ケアの信号が存在する場合の取り扱いについても説明する。(編集部)

今回は、現在、実用上もっとも効果的に利用されている二つの“似た”回路の等価性検証手法について、説明したいと思います。ASIC(application specific integrated circuit)の設計をテープアウトする(マスク・データを製造部門に引き渡す)際には、マスク・パターンが論理的に正しいかどうかの最終チェックを行う必要があります。従来は、マスク・パターンから論理回路を抽出し、それを「できるだけ多くのパターン」を使って検証(論理シミュレーション)していました。最近では、フォーマル・ベリフィケーション(形式的検証)の一種である等価性検証技術(equivalence checking)を利用して、形式的に正しさを検証することが普通に行われるようになってきています。この場合、ゴールデン・モデルと呼ばれるリファレンスとなる回路と、マスク・パターンから抽出した回路を形式的に比較します。

今回は、このような論理回路の等価性検証について、少し詳しく説明します。その後、この技術が効果的に適用できる範囲について、説明したいと思います。

一般的には、ゲート・レベルの論理回路どうしの比較では適用可能な場面が多いのですが、ゲート・レベルの論理回路とRTL(register transfer level; レジスタ転送レベ

ル)記述の比較では、なかなか効果的でない場合が多いというのが現状です。また、リタイミングされた(タイミング修正を施した)回路への適用やRTL記述にドント・ケア(don't care; '1'でも'0'でもどちらでもよい)の信号が存在する場合の取り扱いについても説明したいと思います。

● “似た”回路とは?

一般的に言って、ある回路を論理合成ツールなどで「最適化」した場合、面積最小化であれば、回路中の論理が冗長になっている部分が削除されます。また、遅延最小化であれば、回路中の最長パス(クリティカル・パス)に沿って論理段数が削減されるような回路変換が施されます。したがって、大規模回路に対して最適化を施したとしても、実際に回路が変換されるのは小さい部分(大規模回路全体から見ると、ごく一部)にすぎません。すなわち、回路の最適化の前と後を比べてみると、大規模回路の場合でも回路中のごく一部にのみ修正が加えられるということです。特に、人手でタイミングを調整したような場合は、なおさら修正された範囲は狭いはずで

このような場合、二つの回路を比較すると、回路中に論

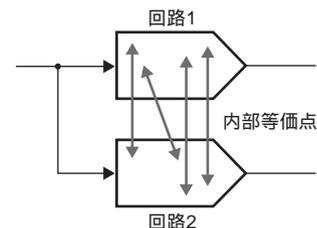


図1 二つの“似た”回路の比較

まず、内部等価点をできるだけ多く求める。すなわち、シミュレーションで非等価点をできるだけ排除し、内部の等価点候補に対して論理照合を適用する。次に、内部等価点で回路を分割して、個別に検証する。

理の変わっていないゲートの出力やネットが多数存在することになります。つまり、図1に示すように、二つの回路の内部に「等価点」が多数あることになります。

このように多数の等価点がある場合、それらを用いて回路を分割できます。図2のように多数の小さい回路の集まりとして全体回路を表現し、個々の回路どうしが等価であれば、回路全体も等価であるといえます。このようにすれば、多数の内部等価点が存在するがぎり、どんなに大規模な回路であっても等価性検証を行えます。すなわち、「二つの回路が似ている」場合には、二つの回路の内部に多数の等価点があり、大規模な回路を検証するときでも小さな回路に分けて実施できるということです。

論理回路とRTL記述の等価性検証では、内部に等価点が少ない場合や、多数の等価点があってもドント・ケアなど

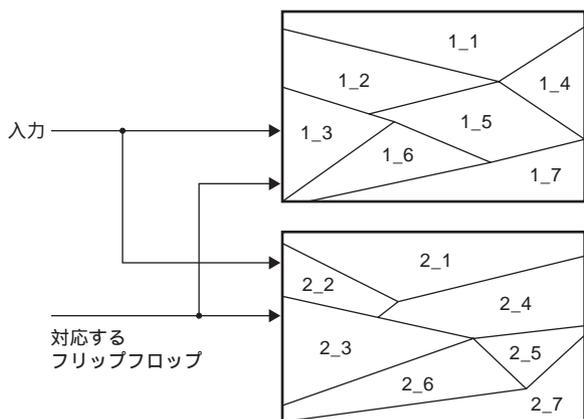


図2 回路分割による検証
全体の等価性判定の問題を、1_1と2_1の比較など、七つの等価性判定の問題に分割する。

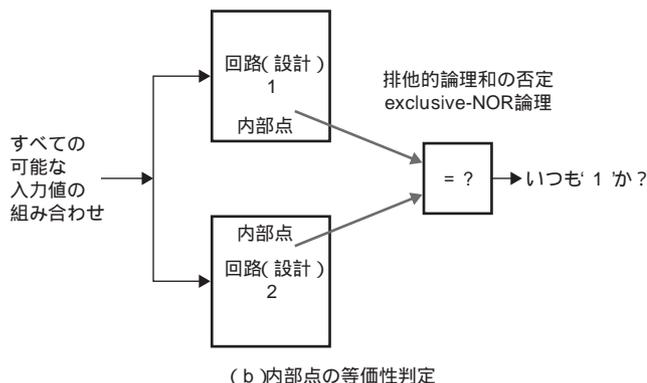
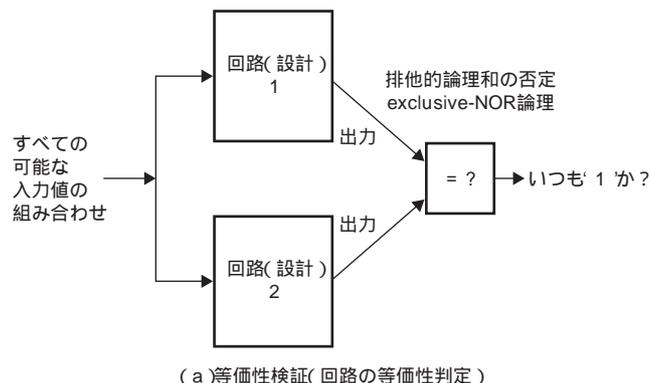


図3 等価性判定の適用
等価性検証とは、(a)のように二つの回路(設計)が与えられたとき、すべての可能な入力値に対して、二つの回路の対応する出力がいつも同じになるかどうかを検証することである。これは、二つの回路の出力を排他的論理和の否定(exclusive-NOR)で接続した出力(二つの回路を接続してできた一つの新しい回路の出力)がすべての入力値でいつも'1'となることと等価である。(b)のように、内部点の等価性判定も、基本的に(a)と同じである。

があって利用しにくい場合があります。それでも、実用上はかなりのケースに対応でき、価値の高い検証手法であるといえます。特に、ASICなどのテープアウトの際の最終的な論理チェックでは、日常的に適用されています。似た回路どうしの等価性検証手法は、現在、広く利用されている技術であり、市販ツールもかなり普及しています。

● フィルタ手法で段階的に等価点を抽出

前回も述べたように、二つの信号が等価かどうかを判定する場合、それらの排他的論理和の否定を求め、図3(a)のようにそれがつねに'1'かどうかをチェックします。回路中の内部点に対する等価性判定も、図3(b)のように同じ方法で行えます。ただし、回路中の内部点の場合は、比較すべき等価点の候補が多数存在します。

今、ある回路の内部点(ゲートの出力)が N 個あり、もう一つの回路には M 個あったとすると、図4に示すように内部等価点ペアの候補は、単純には $N \times M$ 個あることとなります。回路規模がかりに1万ゲートでも、その2乗は1億です。これらの候補一つ一つに対して、図3(b)のように等価性判定を実行することは、時間的に不可能です。

一方、ほんとうに等価な点は、多くても N 個または M 個程度のはずです。したがって、候補ペアのうちのほとんどは不等価(等価ではない)になります。つまり、いかにして不等価のペアをすばやく判定できるかが重要となります。

このように不等価な場合をすばやく判断して、候補から除いた後で、図3(b)のような完全な等価性検証を行います。このとき、すでに検証された内部等価点を利用して、