

ここから アナ・ディジ 始める 混載設計



◆第5回◆ A-Dコンバータのアーキテクチャ

湯川 彰

今回はA-Dコンバータの具体的な回路構成、およびそれらを構成する素子に必要な性能について解説する。前回(本誌2005年5月号, pp.122-131)説明したように、A-Dコンバータのアーキテクチャには、積分型、逐次比較型、並列型、サブレンジング型、パイプライン型などがあり、要求される分解能やサンプリング周波数に応じて、使い分けられている。

(編集部)

A-Dコンバータは、入力されたアナログ値にもっとも近いデジタル・コードに対応づけられたアナログ量を探索する回路です。その探索方法によって方式を分類できることは前回お話ししました。また、A-DコンバータはD-A変換回路、コンパレータ、制御回路から構成されますが、目標とする分解能や変換速度によって、必要なハードウェアの構造や構成する素子に要求される性能が変わります。今回は、A-Dコンバータの回路が具体的にどうなっていて、それらを構成する素子に必要な性能はどのようにして決まるのかについてお話しします。

●DACを利用して比較する信号を順番に出力する積分型

高い精度を持つA-Dコンバータを実現するための第1歩は、基準となるD-A変換回路の精度を高めることです。積分型A-Dコンバータは、このD-A変換回路の動作に制約を設けることで、高い精度を実現する方法と考えることができます。

積分型A-Dコンバータは、D-A変換回路を利用して比較する信号を低い電圧から順番に出力し、これと入力電圧を毎回比較します。そして、D-A変換出力のほうが大きくなったときを変換値とします。ここで、ふつうのD-A変換回路ではなく、ゼロから一定の割合で電圧を上げていく回

路を用いれば、動作が簡単になると想像できます。デジタル値は、入力と一致するまでの時間を測ることで得られます。ゼロから順番に判定するわけですから、 N ビットを変換するときには $2^N - 1$ 回の判定が必要になり、変換に時間がかかります。例えば、10ビット分解能を実現するためには1023クロック周期が必要です。分解能を1ビット上げるためには、2倍のクロック数が必要となります。そのため、積分型A-Dコンバータは変換速度が遅くてもかまわないデジタル・マルチメータや温度計などの分野で用いられてきました。

この原理のとおり回路図を書くと、図1のようになります。ここでは、一定の割合で電圧を上げる回路としてミラー積分回路を用いています。ただし、この回路を精度良く動作させようとするとき、いくつかの課題が思い浮かびます。第1に、入力電圧が変動したとき、D-A変換出力が入力電圧と一致する時刻が変化するので、変換された電圧がいつの時点の電圧なのか不確かになります。そのため、サンプル・ホールド回路が必要となります。また、基準電圧を $-V_R$ 、抵抗を R 、容量を C とし、OPアンプ(演算増幅器)のオープン・ループ・ゲイン^{注1}が十分に大きく、積分を開始する電圧を V_S とすると、ミラー積分出力電圧 V は以下の式で表されます。

$$V = \frac{V_R}{CR}t + V_S \dots\dots\dots(1)$$

ここで C と R と $-V_R$ を作る必要がありますが、どれもば

注1: 日本語にすると「開放利得」。フィードバックのない状態におけるOPアンプの直流の増幅率。OPアンプを用いた回路特性の設計精度に大きく影響する。高利得設計を行っていないMOS回路では50dB ~ 60dB程度と、バイポーラの場合と比べて小さい。積分型A-Dコンバータなどのためには、利得を高める回路方式を選ぶ必要がある。

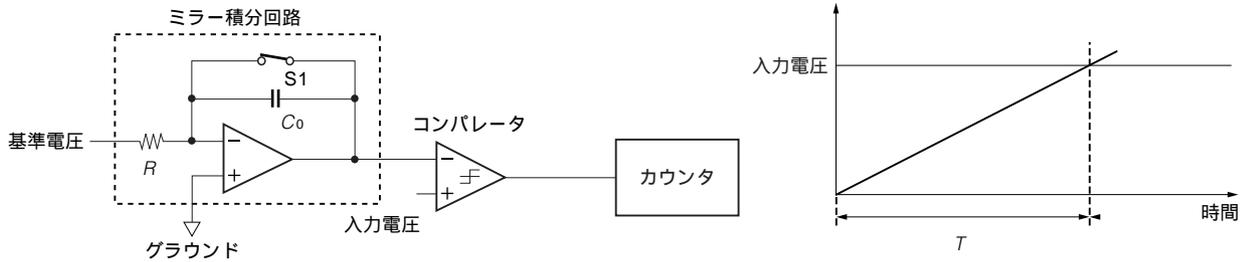


図1 積分型A-Dコンバータの原理図

ミラー積分器で生成するランプ波の電圧が入力電圧を超えるまで、カウンタによって時間をカウントする。得られたカウンタの値は入力電圧に比例する。

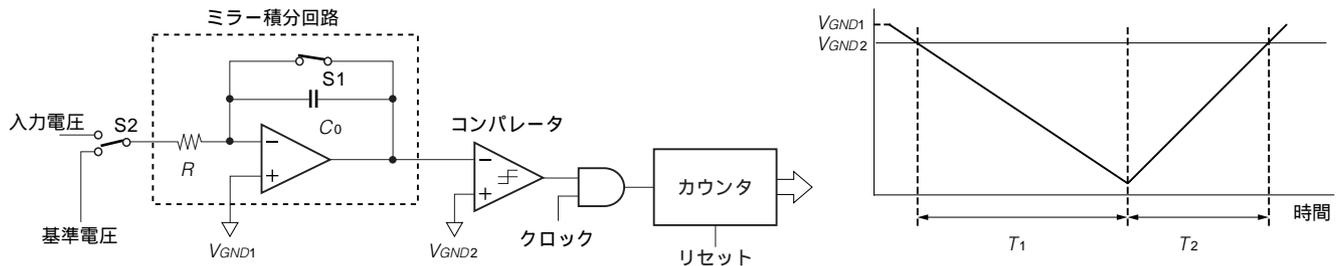


図2 二重積分A-Dコンバータ

まず、入力電圧を一定時間積分した後、同じ積分回路の入力電圧を基準電圧に切り替えて、放電する時間をカウンタで計測する。入力信号も基準電圧も同じ積分回路を通るので、抵抗、容量、コンパレータのオフセット電圧を自動的に補正できるという特徴がある。

らつきます。また、 V_S はミラー積分器に用いるOPアンプのオフセット電圧になります。MOS型のOPアンプのオフセット電圧は、たとえ注意深く設計したとしても、数mV程度の変動を覚悟しなければなりません。そこで、トリミングを行って補正する必要があるのですが、変数が多いということは変動範囲も広いことを意味します。これはかなりのコスト・アップになってしまいます。

これらの課題を改善したデュアル・スロープ(dual slope)型のA-Dコンバータを図2に示します。この回路は、入力抵抗 R とOPアンプ、積分容量 C_0 で構成されるミラー積分器、コンパレータ、カウンタ、およびこれらを制御する回路から成り立っています。構成要素となるアナログ素子は図1と大差ありません。

この回路の動作について説明します。まず、積分容量 C_0 と並列に接続されているスイッチ $S1$ をONすることで積分容量 C_0 の電荷を放電するリセット操作から始めます。このとき、OPアンプの正入力 V_{GND1} に接地されているので、出力も接地電位になります。次に、 $S1$ をOFFするとともにスイッチ $S2$ を信号入力に切り替え、入力信号の積分を開始します。このとき、コンパレータに与える基準電圧 V_{GND2} を V_{GND1} より低くしておきます。すると、入力の積

分を開始して、少したったところでコンパレータの出力が‘1’となります。ここからカウントを開始し、一定時間 T_1 だけ積分します。 T_1 が経過したとき、 $S2$ を基準電圧側に切り替えるとともに、カウンタをリセットします。すると、積分回路は放電を開始します。そして、コンパレータが‘0’となったときのカウンタ値 T_2 を読めば、入力電圧 V_i は以下の関係になるので、入力電圧を求めることができます。

$$V_i = \frac{T_2}{T_1} V_R \quad \dots\dots\dots (2)$$

ここで、時間測定に水晶発振器によるクロック信号を用いれば、周期に対して6けた以上の精度を容易に実現できます。さらにつごうが良いのは、時間比の形でしか式には現れていないので、絶対的な周波数精度は問題となりません。また、この式には C も R も現れず、誤差は V_R によるものだけとなります。加えて、入力信号の積分開始電圧と基準電圧による放電終了電圧を同じ V_{GND2} にしているため、積分回路とコンパレータのオフセット電圧もキャンセルされます。それでも12ビット以上の精度を目標にする場合には、積分容量が電圧依存性などの非線形性を無視できること、OPアンプの利得が有限であるために積分特性が完全