

第3章

CPUコア搭載 FPGAの効率的活用法

—— Virtex-4 FXのコプロセッサ機能を使いこなす

井倉将実

本稿では、CPU コアのハード・マクロを搭載するFPGAの効果的な活用法を解説する。CPU とユーザ回路がそれぞれ別のLSI になる場合と、一つのLSI に集積できる場合の違いを説明する。米国Xilinx 社のVirtex-4 FX が持つハードウェア・アクセラレータ機能の利用法とアプリケーション事例を紹介する。
(編集部)

従来からよく、ソフトウェアとハードウェアの境界線について設計時に取りざたされます。CPU コア内蔵のFPGA は、最適な設計を1チップで実現できるLSI と言えます。例えば回路全体を制御するステート・マシンの役割をCPU に割り当てたり、ハードウェアでは複雑すぎて設計に時間がかかることをCPU によってエミュレーションするという使いかたが考えられます。設計資産を活用しやすくなるなど、さまざまな利点があります。

従来は、汎用CPU でA 機能、FPGA でB 機能、ASSP でC 機能といったぐあいに割り当てて、一つのシステムを設計していました。これが1チップでできると、プリント

基板面積の削減や低コスト化につながります。さらに回路構成が外部から見えにくくなるため、機密保持の点でもメリットがあります。

本稿では、CPU コアのハード・マクロを内蔵するFPGA を効果的に活用する方法を解説します。ユーザ回路とCPU の間の接続についての考えかたや、米国Xilinx 社のVirtex-4 FX ファミリが持つハードウェア・アクセラレータ(コプロセッサ)機能APU(Auxiliary Processing Unit)を用いる方法を説明します。

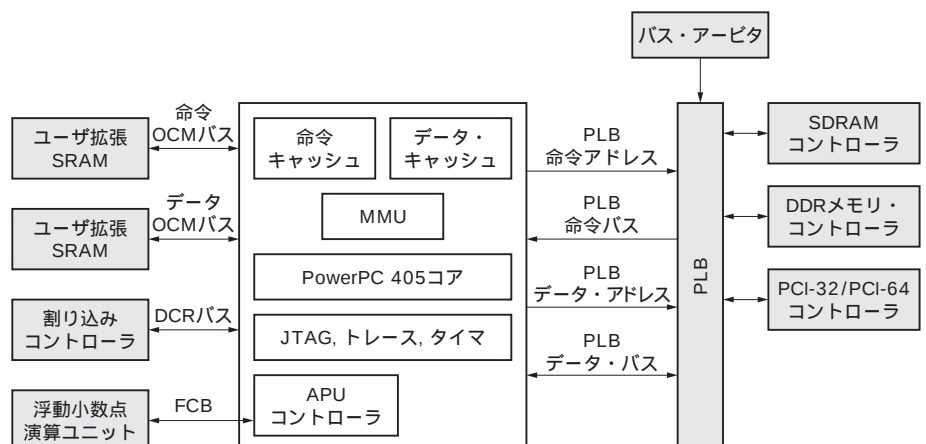
1. FPGA + CPUコアによる性能の向上

FPGA に内蔵されるCPU コアであっても、設計の考えかたは汎用CPU を使う場合と変わりません。CPU がプリント基板上でつながっているのか、シリコン上でつながっているのかの違いだけです。ただし、シリコン上のほうが配線に制約が少ないので、バス構造やリセット/割り込み回路などの自由度が高くなることが多いようです。

DCR : Device Control Register
FCB : Fabric Coprocessor Bus
OCM : On-Chip Memory
PLB : Processor Local Bus

図1
Virtex-4 FX に内蔵されるPowerPC コア
のブロック図

命令バスとデータ・バスが独立している。灰色の部分はユーザ回路。



● FPGAに組み込まれるCPU コアには制約が少ない

例えば、組み込み向けCPUとして販売されている米国 Applied Micro Circuits社(AMCC)の「PowerPC 405GPr」のバス構成と、Xilinx社のFPGA「Virtex-4 FX」が内蔵するPowerPC 405コア(以下、単に「PowerPCコア」と呼ぶ)を比較してみます。図1に示すPowerPCコアのバスは、図2に示すPowerPC 405のバスと比較して、自由度が高いことがわかります。

PowerPC 405GPrでは、命令バスとデータ・バスが一つ

にまとめられているため、例えば外部DMAコントローラのアクセス中は、命令アクセスが一時的に待たされることになります。これに対してPowerPCコアでは、例えば命令バスにフラッシュ・メモリを、データ・バスにSRAMとDMAコントローラをつなげることができます。PowerPCコアは、命令を読み出すために命令バスに接続されたフラッシュ・メモリにアクセスします(フェッチ・サイクル)。命令をフェッチしている限りにおいては、データ・バス上のDMAコントローラはSRAMメモリ空間を自由にアクセ

DCR : Device Control Register
OCM : On-Chip Memory
OPB : On-Chip Peripheral Bus
PLB : Processor Local Bus

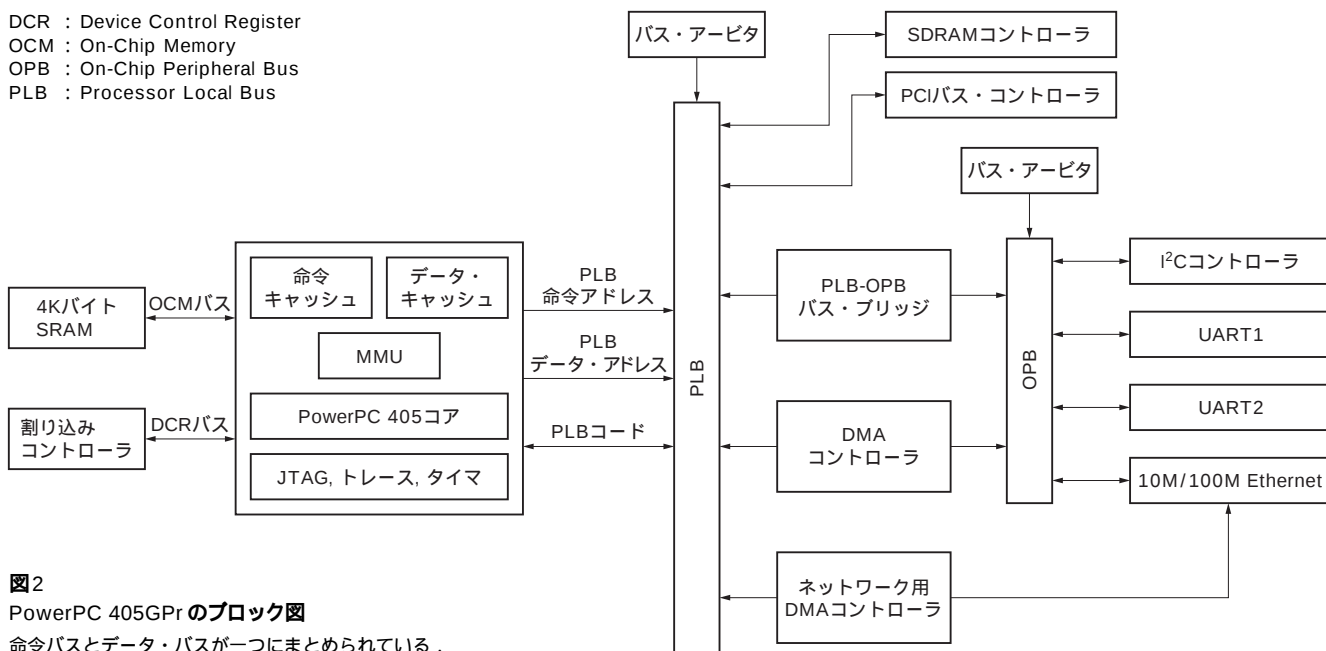


図2
PowerPC 405GPrのブロック図

命令バスとデータ・バスが一つにまとめられている。

PLB : Processor Local Bus

バスのマスタ権利を持つユニット

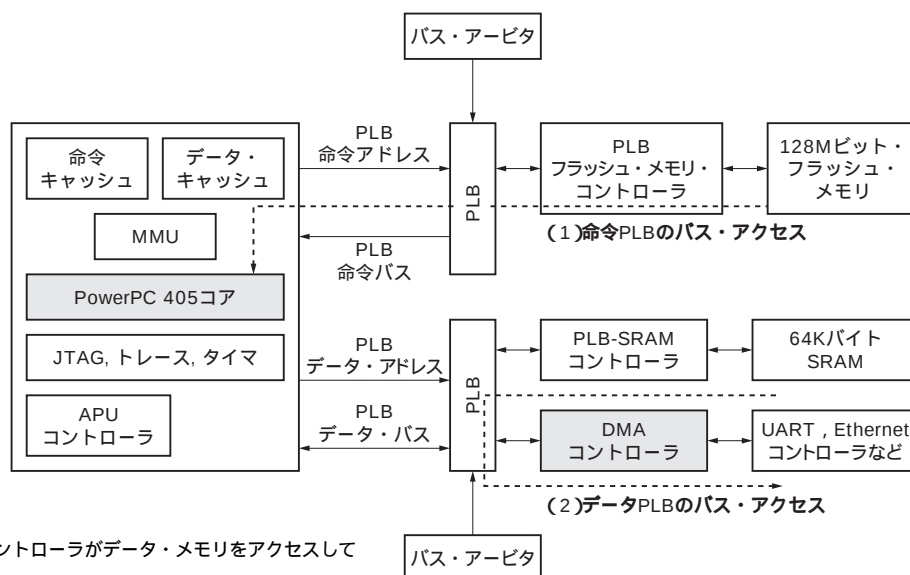


図3
命令バスとデータ・バスを分割する効果

命令をフェッチ中に、データ・バス上のDMAコントローラがデータ・メモリにアクセスしても競合しない。