

ASICをターゲットに、 ビヘイビア合成で作成した RTLコードを論理合成

配置配線担当者との
円滑なコミュニケーションが不可欠

横溝憲治

ここではビヘイビア合成ツールを使って作成したRTLコードを論理合成し、ASIC化するまでの手順を説明する。サンプルとして、前章で作成したJPEGエンコーダの設計データを利用する。ASICを開発する場合、テスト容易化設計やASICサインオフのしくみなどを理解する必要がある。ASICベンダの配置配線担当者などとコミュニケーションをとりながら、作業を進めることが肝要である。(編集部)

ここでは、ビヘイビア合成ツールによって生成されたRTL(register transfer level)記述をLSI化する作業手順とその事例について説明していきます。サンプルとしては、前章で作成したRGB-YUV変換とDCT(離散コサイン変換)のモジュールのRTL記述を使用します。

カスタムLSIを実現する方式には、大きく分けてASIC(application specific integrated circuit)とFPGA(field programmable gate array)があります。ビヘイビア合成技術はおもに回路規模や量産数量の大きいASICの開発に利用されているため、本稿ではASIC化を想定しながら、事例などを説明します。FPGAしか開発したことがない機

器設計者にも理解しやすいように、ASIC設計とFPGA設計の違いを対比しながら解説します。

● ASIC vs. FPGA

ASICとFPGAの特徴を表1に示します。最大の違いは、FPGAはプログラミング(書き換え)可能なことです。最大回路規模、動作速度、消費電力など、性能面に着目するとASICのほうが有利です(回路をプログラミングできるようにしているため、FPGAにはいくつかの制限がある)。

以前は製品のプロトタイプなどに限ってFPGAが採用されましたが、近年はFPGAの大規模化や低価格化、ASICの開発費の高騰により、トータル・コスト(開発費とデバイス購入費)を考慮してFPGAを採用するケースが増えています。しかし、FPGAでは求める性能が得られない場合には、ASICを選択することになります。

FPGAを使用した場合、機能の差異化はできますが、性能の差異化はそれほどできません。性能面で特徴を出したい場合には、FPGAよりASICのほうが有利です。

● トータル・コストは開発費とチップの購入数で決まる

ASICとFPGAのトータル・コストとチップの購入数の関係は図1のようになります。

回路規模が同じである場合、チップ単価はASICのほうが安く、FPGAのほうが高くなります。一方、開発費については、FPGAではベンダに支払う開発費が存在しないため、ユーザ側の設計費用のみとなります。ASICでは、ユーザ側の設計費用に加えて、チップごとに必要になるマスクの作成費用など、ASICベンダへ支払う開発費が必要になります。

トータル・コストは、チップの購入数が少ないときは

表1 ASICとFPGAの比較

	ASIC	FPGA
回路のプログラミング	不可	可能
回路規模	数千万ゲート	数百万ゲート
ゲート当たりの面積	小さい	大きい
動作速度	速い	遅い
消費電力	小さい	大きい
設計・検証期間	長い	短い。早期に実デバイスで検証可能
製造期間	数週間	なし
開発費	高い	安い
チップ単価	安い	高い

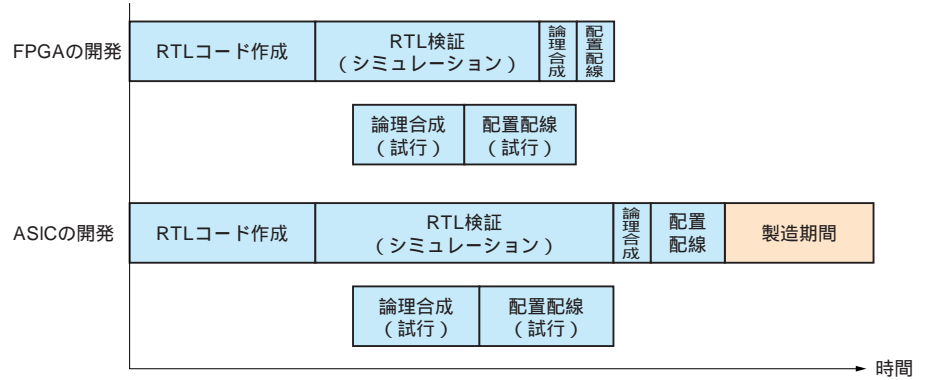


図2
ASIC と FPGA の開発期間
 FPGA は早期にデバイスの検証が可能のため、
 検証期間が短くなる。

FPGA のほうが低くなり、購入数が多くなると ASIC のほうが低くなります。つまり、ASIC を利用するか、FPGA を利用するかは購入数によって選択することになります。

分岐点となる購入数は、回路規模によって変わります。FPGA の価格は回路規模が大きいくほどより割高になるため、回路規模が大きくなると ASIC を選択する傾向があります。また、ASIC の開発費は半導体プロセスの微細化にともなって高額になり、その一方で FPGA のゲート当たりの単価は下がり続けています。そのため、年を追うごとに、分岐点となる購入数は図1の右側へシフトしているようです。

実際のところ、製品のライフ・サイクルが短くなってきていることを考えると、開発費の高い ASIC を選択できないケースが増えています。

● **ASIC の開発期間は長びく傾向に**

ASIC と FPGA の開発期間の概要を図2に示します。ここでは開発期間を設計・検証期間と製造期間の二つに分けて考えます。

設計・検証期間については、本来であれば ASIC と FPGA にほとんど差はないはずですが、しかし、設計修正が発生した場合に、FPGA ならすぐに実際のデバイスを動作させて検証できるため、手間のかかるシミュレーションが省略される傾向にあります。一方、ASIC は一度製造すると作り直しに多くの費用と製造期間が必要になるので、より慎重に論理検証やタイミング検証が実施され、設計・検証期間が長びく傾向にあります。

製造期間については、FPGA は設計完了後、数分～数時間で回路を実現できます。一方、ASIC は設計完了後、数週間が必要で、製造後、設計上の不具合が見つかった場合には、製造期間の違いはさらに大きくなります。

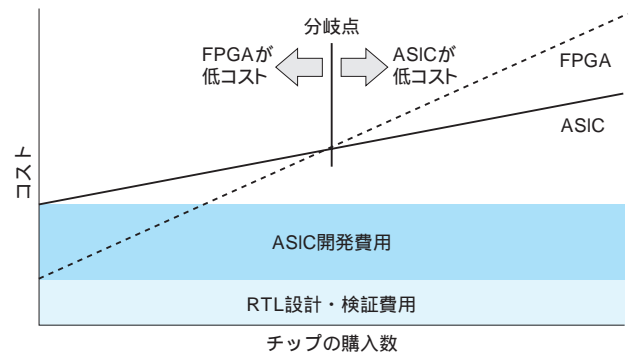


図1 **トータル・コストとチップの購入数**
 購入数が少ないと、マスクなどの開発費が不要な FPGA のほうがコストが低くなる。購入数が多くなると、チップ単価が安い ASIC のほうがコストが低くなる。

● **FPGA とのギャップを埋めるストラクチャード ASIC**

ASIC が抱える開発費と製造期間の課題を緩和するため、開発費を安価に抑え、製造期間を短縮したストラクチャード ASIC という LSI が登場しています。おもしろいことに、ストラクチャード ASIC の製品は ASIC ベンダと FPGA ベンダの双方から出荷されています。双方とも、ASIC と FPGA の間のギャップを埋めることが新たなビジネス・チャンスととらえているようです。

FPGA ベンダのストラクチャード ASIC は、FPGA 用の設計データをそのままストラクチャード ASIC の開発に流用できることを特徴としています。使用するツールも FPGA 開発ツールと共通になっています。チップが大量に必要な場合、FPGA からストラクチャード ASIC へスムーズに移行できます。

一方、ASIC ベンダは、レイアウト設計(配置配線設計)で手間のかかる部分の配線をあらかじめ済ませることにより、設計期間の短縮と個別に作成するマスクの枚数を減ら