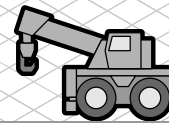


第3章

システムLSIの課題を 先端実装技術との融合で 乗り越える

—ASICとDRAMの間を最大16Gバイト/sでデータ転送可能に



間淵義宏

チップ、パッケージ、ボードという3階層からなる現在の実装構造を前提に、シミュレータなどで不具合の原因となる箇所を解析するというアプローチとは別に、実装構造そのものを見直して問題を回避するというアプローチがある。ここでは、シリコン基板上にチップを直接実装することで、消費電力やノイズ、チップ間のデータ転送速度などの問題を解決するSiS (system in silicon) 技術について解説する。こうしたアイデアを実現するためには、部署ごとの垣根を取り払って全体最適化を図れるようにすることが重要になる、と筆者は説く。

(編集部)

筆者は半導体メーカーに長年在籍し、おもにASIC(application specific integrated circuit)ビジネスにかかわってきました。この間、ASICはゲートアレイからセルベースIC、システムLSI(SOC: system on a chip)へと変遷を重ねました。ビジネス面ではファブレス企業やファウンドリ企業による水平分業モデルが登場しました。設計技術の面ではLSI設計者とEDA(electronic design automation)開発者が相互に協調して大規模設計の効率化を図ってきました。

した。しかし残念なことに、LSIの設計側と製造側の間では十分な相互理解を果たしてきたとは言えません。本稿ではこの経験をもとに、協調設計の必要性を述べていこうと思います。

● 部分最適から全体最適へ

図1に示すように、LSIの製造は、大きく拡散工程と実装工程に二分されています。近年では、それぞれの工程に対して専門の巨大ファウンドリが存在し、IDM(integrated device manufacturing)企業として烈な競争を展開しています。

一方、LSI設計はおもに上述の拡散工程とかがわりが深く、ボンディング・パッドを境にその外側は「実装工程にお任せ」となりがちです。そのため、実装工程についての優れたアイデアや技術があっても、LSI設計側では生かされていないのが実状ではないでしょうか。

設計側、製造側(実装工程)のそれぞれが最適化を図り、その組み合わせが最強のものとなって、競争力のある最終製品ができあがれば問題ありません。ただし、現状では最終仕様の実現のために、どこかの工程にしわ寄せがいくことになりがちです。例えば、LSIのマスク製作の場合でも、マスク製作やOPC(optical proximity correction)、レイアウト設計の間でそれぞれがバジェット(分配される資金や時間などのリソース)を出し合えば、もっと開発期間やコストの最適化が図れるはずです。

このように部分最適から全体最適にもっていくためには、各部門の垣根を取り払った議論が必要になってきます。以降ではシステムLSIとSiP(system in package)を比較し

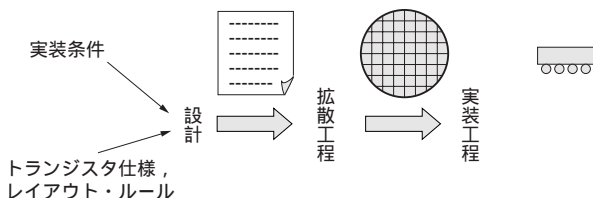


図1 設計・製造フロー

設計者は製造部門から出される設計基準に基づいてLSIを開発していく

KeyWord

SiS, SiP, DDR SDRAM, マイクロポンプ, インターポーザ, TEG, 3次元実装, SiSbus, ASIC, 実装

ながら、筆者らが開発している、両技術を融合し全体最適化を図ったSiS (system in silicon) 技術について紹介します。

● システムLSI vs. SiP, 帯に短したすきに長し

携帯型機器や家電機器などの「軽・薄・短・小」の要求は、実装面積を削減する技術の開発を後押ししてきました。システムLSIは、この要求に対して1チップ化(集積化)という方法で対応し、また、高速化も同時に実現してきました。このような状況下では、単純に複数チップを一つのパッケージに封止する方法(いわゆるマルチチップ・モジュール, SiP)は、コスト的に見合いませんでした。

しかし近年、システムLSIは大きな問題を抱え始めています。微細化に伴う開発費の高騰やリーク電流によるパワーの増加、低電圧化の技術的障壁などです。このため、単純なプロセスの微細化だけでは問題を解決できません。製造コストも高くなっており、高速化も鈍化し始めました。さらに、製造プロセスの異なるDRAMやフラッシュ・メモリなどの機能を1チップ化するのには、コスト的に無理があります。

ここで登場するのが、低コストで高速化を実現できる可能性のある3次元実装技術です。システムLSIが1チップ化によって2次元方向の配線長を短縮するのに対して、3次元実装では3次元方向(チップ面に対して垂直の方向)の接続が可能となり、配線長をさらに短縮できる可能性があります。例えば、CPU(central processing unit)やDSP(digital signal processor), ASIC, DRAM, SRAMを搭載したシステムも、3次元実装を利用すれば面積最大のチップに相当するパッケージ面積だけで済みます。

コスト的にどちらが有利かを検討するには、チップ・サイズや実装コスト、プロセス・コスト、歩留まりなどを加味した計算を行わなければなりません。しかし、少なくとも設計段階ではSiPなどの実装手法も視野に入れながら実現手法を検討していかなければならない時代に入ってきたように思います。すなわち、LSI設計者と実装技術者が共同で全体最適を旨として議論し合う場が必要になります。

具体例を図2に示します。DDR(double data rate) SDRAMの高速化とともに、ASICとの間のインターフェースが性能向上のボトルネックになってきています。数百MHzで動作させるためにはASICのタイミング設計だけでは間に合わず、難度の高い基板設計を同時に行う必要があります。また、このインターフェース部分で消費される電

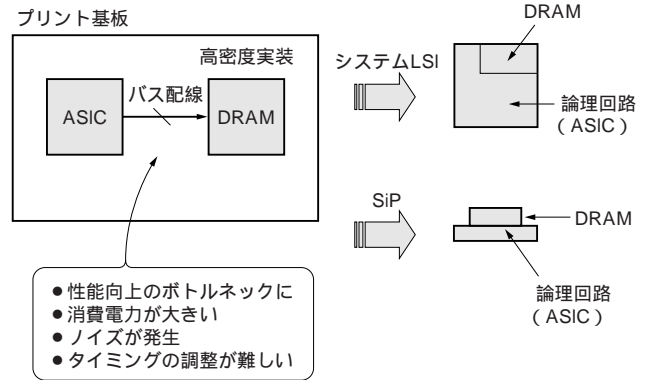


図2 システムLSIとSiP

高速データ転送のためにDDR SDRAMを複数個使用すると、消費電力やノイズ、基板設計などの点で問題が多い

力は、終端抵抗が必要なこともあり、増大傾向にあります。ノイズも同じく増大しています。

これを解決する方法として、DRAM混載プロセスを開発するという考えかたがあります。システムLSI化すれば消費電力やノイズを低減できます。タイミング設計もチップ内だけでおさまります。しかし、異種混載プロセスでは、プロセス・コストやマスク費用の高騰、LSIの開発期間の増大といった問題があります。

一方、SiPの場合は、コスト面では有利になる可能性があります。DRAM-ASIC間のタイミング設計は基板設計と同じように難度が高く、消費電力やノイズの低減も含めてASIC設計側との調整が必要です。

● システムLSIの技術に先端実装技術をミックス

上記で全体最適の必要性を述べてきましたが、ここでは筆者らが開発しているSiS技術を紹介いたします。これはシステムLSIの技術をベースとし、そこに先端実装技術を導入したものです。まさにLSI設計者と実装技術者が議論を重ねて問題解決を図りました。

上述のように、システムLSIの問題として、開発費の高騰や消費電力の増大などがあります。それらを解決するためにさまざまな提案がなされていますが、だれもが納得するストーリーはなかなか描けていないように思います。一方、SiPは携帯電話機などの後押しにより実装面の集積度は上がっていますが、性能面ではシステムLSIに追いついていません。また、設計保証や信頼性確保の面でもまだ完全とは言えません。

ここで説明する技術は、システムLSIに近い性能を実現