

# クロックレスARMプロセッサのアーキテクチャと非同期方式の効果

非同期技術で低消費電力、低ピーク電流、低電磁放射を実現



渡辺信久

英国ARM社とオランダHandshake Solutions社は、ARM v5TE ISA準拠のクロックレス32ビット・プロセッサ・コア「ARM996HS」を共同開発した。これは、商用IPコアとして初めて非同期技術を用いて実装されたCPUコアである。非同期技術を用いることにより、同期方式の場合のほぼ1/3の消費電力で同等の性能を達成できた。また、回路内のピーク電流や外部に放出される電磁放射ノイズも低減された。(編集部)

現在、ほとんどのデジタルLSIは、システムの全回路の動作を制御するグローバルな「クロック」を使用しています。複雑なシステムでは複数のクロックを使用することもあり、この場合は各クロック領域が同期サブシステムとして設計されています。

ご存じのように、クロック周波数は年々上昇しています。クロックの高速化に伴って、タイミング・スキューや消費電力の増大、電磁干渉の発生など、いくつかの問題がクローズアップされています。こうした問題を解決する手法の一つとして、非同期方式(クロックレス、またはセルフ・タイムドとも呼ぶ)のデジタル回路設計手法が注目を集めています。

ここでは、非同期方式を採用した初めての商用プロセッサIPコアである「ARM996HS」のアーキテクチャと、非同期化の効果について解説します。

## 1. 同期方式の問題と非同期方式の利点

現在、主流となっている同期方式の設計には、以下の三

つの問題があります。

第1の問題は、クロック周波数が高くなるにつれて、グローバルな同期を維持するのが困難になることです。クロック・スキュー、すなわちチップ上の異なる点におけるクロック・タイミングのずれは性能を低下させ、最終的に回路の動作不良を招くこともあります。

第2の問題は、クロック周波数が高いと過度に電力を消費することです。クロックが高速になると、チップの総電力のかなりの部分をクロック分配ネットワークが消費します。クロック・ゲーティング技術(クロック配線にゲートを挿入し、クロックの供給・停止を制御して消費電力を低減する手法)はクロック・ネットのむだな動作をなくす効果はあるものの、その一方でクロック・スキューを悪化させるという欠点があります。

第3の問題は、チップ全体のグローバル同期が供給電流の過渡現象を最大化し、電磁干渉を引き起こすことです。EMC(electro magnetic compatibility; 電磁環境適合性)規制は厳しくなりつつあり、高速なクロックを使いながらその規制に適合することが困難になりつつあります。

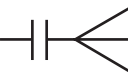
### ● 高速なクロックが引き起こす三つの問題を解決

非同期方式の設計は、上記の問題に対して以下のように対処します。

まず、非同期設計ではクロックがないので、そもそもクロック・スキューの問題は発生しません。また、非同期設計において回路に過渡現象が発生するのは、要求にこたえて必要な作業を実行するときだけです。つまり、余分な電

### KeyWord

非同期方式, ARM996HS, クロックレス, ARMv5TE, Thumb, メモリ保護ユニット, マスク不可割り込み, ARM968E-S, ハンドシェイク・プロトコル, SAGE-X



力を消費しません(クロック信号によって過渡現象が継続的に発生することはない)。さらに、非同期回路では内部動作の干渉が少ないので、電磁放射ノイズも少なくなります(電磁環境適合性が向上する)。

クロック同期の回路は、プロセッサのクロック周波数、およびその高調波の電磁波を放射します。システムの中にRF (radio frequency) 回路が存在する場合、そのようなスプリアス信号を本来のRF信号とまちがわないように配慮する必要があります。一方、クロックレスの非同期設計では、電磁放射が少ないだけでなく、比較的予測しやすい平坦な放射スペクトラム(ホワイト・ノイズ)を生成します。放射スペクトラムが平坦になり、さらにピーク電流が低くなれば、アナログ回路やRF回路とデジタル回路を統合しやすくなります。

### ● 低電力から高性能へ、モードを一瞬で切り替えられる

さらに非同期プロセッサには、以下のような利点もあります。

まず、ゼロ消費電力の動作モードと最大性能の動作モードの間を一瞬で切り替えることができます。組み込みアプリケーションの多くは、動作の途中で作業負荷が急激に変化します。そこで、割り込み待ちの間は動作を完全に停止してゼロ待機電力状態とし、割り込みが発生したときに瞬時に応答するようにします。こうすることで、プロセッサの消費電力を大幅に低減できる可能性があります。

また、クロックに依存しないので、モジュール化が容易になり、設計の自由度も上がります。同期方式では、クロック周波数が決まると、一般に使用できるコンポーネントの組み合わせが制限されます。

さらに、環境条件の変化に対する耐性が高いという利点もあります。つまり、温度や供給電源、電流の変化に追随しやすくなります。図1に示すように、非同期プロセッサの電圧・電流変化に対するマージンは、同期プロセッサと比べて格段に大きくなります。つまり、クロックレスの非同期回路は環境条件の変化に対する耐性に優れていると言えます。例えば今回のプロセッサ・コアは環境パラメータの変化を自動的に検出して適応するため、同期方式のコアの場合より幅広い環境条件で安定的に動作します。一般に、同期方式のコアが安定動作する範囲は、非同期方式のコアより大幅に狭くなります。

### ● なぜ非同期プロセッサは普及しなかったのか

以上のような多くの長所を持つにもかかわらず、なぜ、これまで非同期プロセッサはあまり普及してこなかったのでしょうか。

その理由は、以下のようにいくつか考えられます。

- 非同期設計用の良い設計ツールがなかった(非同期設計に対するEDAツールの支援が手薄だった)
- 経験のある非同期回路の設計者が少なかった
- 同期方式中心の設計教育を通して、非同期技術への過度の不信感が植え付けられた

こうした理由により、非同期プロセッサが商用として開発されることは、これまでほとんどありませんでした。

## 2. 非同期ARMプロセッサを開発

筆者ら(英国ARM社とオランダHandshake Solutions社、以下ARM社とHS社)は、本格的な商用化、IP製品化を旨として、非同期プロセッサ・コア(ARM996HS)を共同開発しました。以下では、本プロセッサ・コアの概要について述べます。

本プロセッサ・コアは、専用のセル・ライブラリやトランジスタ・レベルの設計、カスタム・レイアウトなどを必要としない、ライセンス供給されたCPUコアです。既存の標準的な論理最適化、検証、レイアウトのフローに対応した柔軟なファームIP(ライブラリ依存のネットリスト)の形態で提供されます。本プロセッサ・コアは、オンチッ

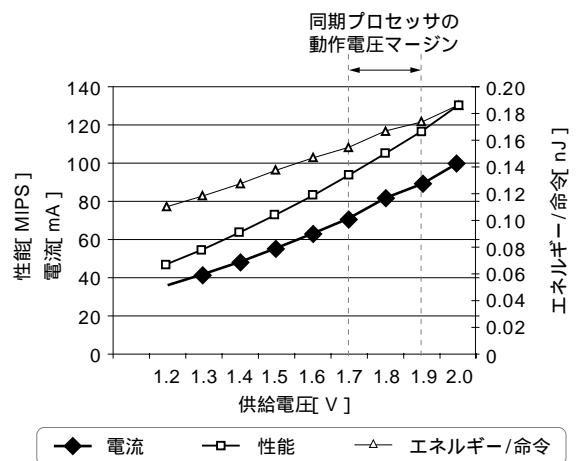


図1 非同期プロセッサの動作範囲

非同期プロセッサの電圧・電流変化に対するマージンは、同期プロセッサと比べて格段に大きい