

# LSI 間通信のシリアル化と回路設計のポイント

## ～ SerDes 搭載 FPGA 活用時の注意点

皆川 翔

近年のFPGAは、DSPブロック(乗算器や積和演算器)やCPUコアのほか、高速シリアル通信ブロックをハード・マクロで搭載しています。膨大なデータを高速に伝送したい場合、高速シリアル通信ブロックの活用がキーになります。高速シリアル通信ブロックは、ハードウェアとしてアナログ的要素を多く含みます。このため、デジタルの知識だけではうまく使いこなすことが難しい一面があります。そこで、高速シリアル通信ブロックを搭載するFPGAを例に、FPGA周辺回路の設計やプリント基板設計時の注意点をまとめます。(筆者)

### 1. パラレル接続からシリアル接続へ

一つのシステムは、多くの部品で構成されています。そして、例えば図1のように、複数のLSI同士でデータのやりとり

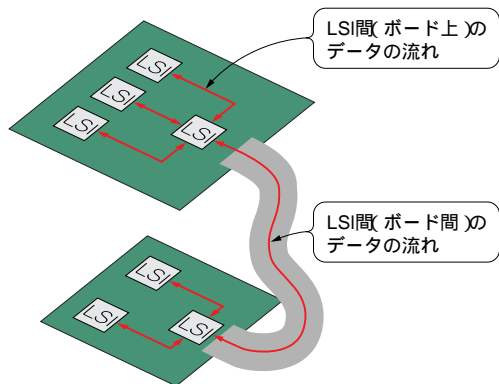


図1 システム内のデータの流れ

一つのシステムの中では、複数のLSI同士でデータのやりとりが行われている。システムの大規模化と複雑化により、やりとりするデータ量が増えてきた。

りとりを行っています。1枚のプリント基板上で接続される場合もあれば、バックプレーンを經由してプリント基板間で接続される場合もあります。

システム・アーキテクチャ上、LSI間のデータ伝送量が多くなく、プリント基板の制約があまりない場合であれば、設計で問題になることはありません。汎用LSIであれば仕様に合わせて接続するだけです。カスタムLSIであれば都合良く接続できます。しかし近年、システムの大規模化と複雑化により、さまざまな問題に直面する機会が増えていきます。

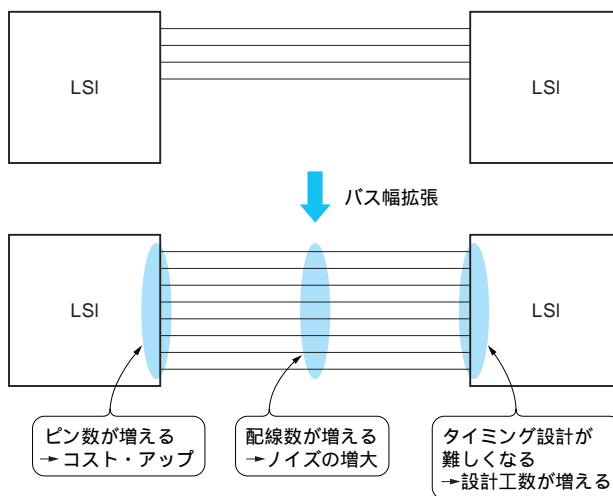


図2 高速パラレル・データ伝送の問題

データ・バス幅を広げれば、大容量データの伝送が可能になるが、多くのI/Oピンが必要になり(コスト・アップ)、プリント基板上の配線数が増え(ノイズの増大)、タイミング設計が難しくなる(開発工数の増大)などの問題を招くことがある。

**KeyWord**

FPGA, パラレル接続, シリアル接続, スキュー, シグナル・インテグリティ, SerDes, Virtex-4, RocketIO, MGT, 電源, ジッタ

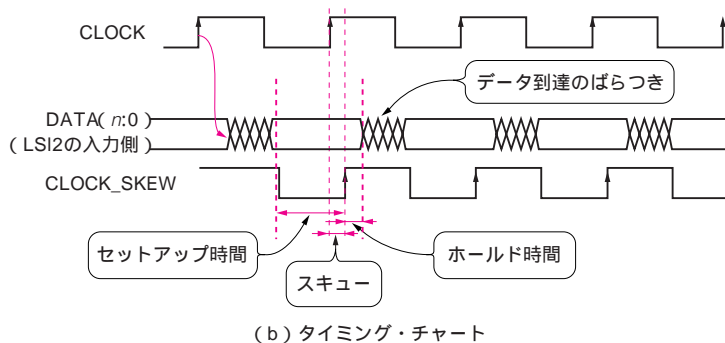
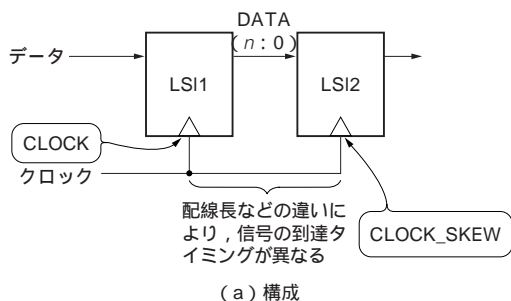


図3 パラレル接続による高速データ伝送はタイミング設計が難しい

パラレル・データの伝送では、プリント基板上のパターンの引き回しの影響でデータ到達時間にばらつきが生じる。このため、すべてのデータが確定するタイミングが遅れ、セットアップ時間が厳しくなる。LSI間のクロック・スキューによっても、セットアップ時間やホールド時間の制約が厳しくなる。CLOCK\_SKEWはCLOCKに対して早くなることも遅くなることもあり得る。

● パラレル接続の限界

大容量のデータを ASIC( application specific integrated circuit )や FPGA( field programmable gate array )などのカスタム LSI 間で受け渡す場合、何が問題になるのでしょうか。

LSI 間で大量のデータをやりとりする最も簡単な方法は、データ・バス幅の拡張です( 図2 )。

近年の回路は同期式で設計されています。従って、LSI 間のパラレル・データは、同期クロックで伝送することになります。このとき、配線長の違いなどが原因で、データの各ビットの受信側 LSI への到達時間がばらつきます。このばらつきはできるだけなくしたいので、プリント基板設計時に配線長を合わせるように工夫しなければなりません。とはいえ、高密度な実装が要求される場合、データ線は自由に配線しにくくなります。このため、各ビット間でスキューが発生することになり、クロック周波数が上がってくると、セットアップ時間やホールド時間などのタイミング・エラーが発生しやすくなります( 図3 )。

また、パラレル・データ・ラインが高速になれば、クロストークなどのノイズが発生しやすくなり、シグナル・インテグリティ( 信号の品質 )の面でかなり不利な状況になります。

パラレル・データのビット幅が増えれば、コスト・アップを余儀なくされます。例えば、コネクタからバックプレーンを経由して別のボードに伝送する際、信号線をつなぐためのコネクタのピン数が増えます。バックプレーンにも多数の信号線を配線しなくてはなりません。バックプレーン基板のコストはもちろん、シグナル・インテグリティの面でさらに不利になります。LSI を見ても、多くの信号線を使えばそれだけピンが必要となり、多ピン・タイプのパッ

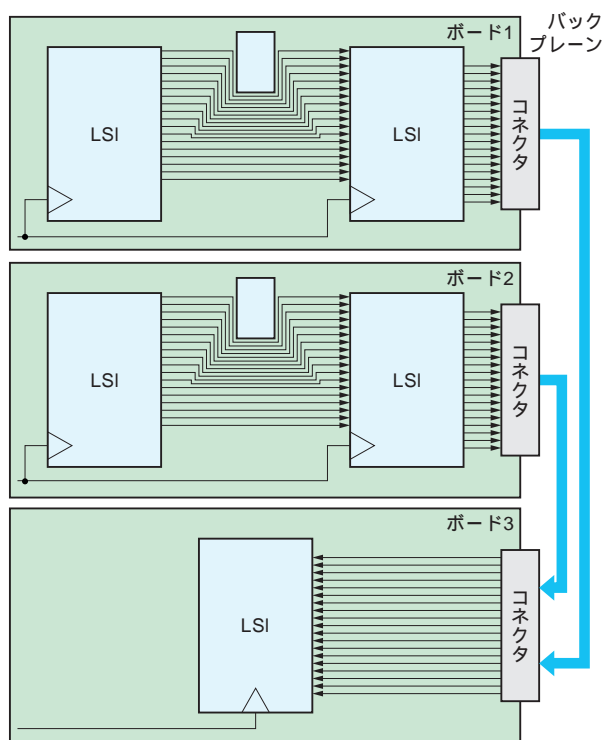


図4 パラレル伝送時の問題

LSI 同士の接続や、コネクタとバックプレーンを経由したボード間の接続の場合、さまざまな問題が発生する。高密度プリント基板の場合、LSI 同士をつなぐパラレル線が均等に配線できないことが多く、データの到達時間がビットごとに異なってしまふ。高速動作時のタイミング設計が厳しくなる傾向があり、設計の難易度が高くなる。また、コネクタやバックプレーンを経由して二つのボードのデータを別のボードへ集約させる場合、集約するボードの信号線数が増える。コネクタのピン数や LSI の I/O ピン数が不足することもある。配線数の増大もノイズの原因となり、好ましくない。

ケースを選択しなければなりません。LSI のコストが上がると、さらにプリント基板の面積や層数に影響します( 図4 )。

● SerDes を使ってシリアル接続

大容量のデータ伝送が求められる場面では、近年、シリ

