

SerialLite II 活用チュートリアル

～ Altera 社の FPGA 間通信プロトコルを
使いこなす

山田 一

ここでは、FPGA 間インターフェースで用いるデータ・リンク層通信プロトコルの一つである米国 Altera 社の「SerialLite」の活用方法を解説する。特に SerialLite モジュールの生成方法について詳しく説明する。
(編集部)

昨今の FPGA では、高速シリアル伝送機能が標準化されており、どのメーカーも高速シリアル伝送に対応したデバイスを出荷しています。当然ながら、これらのデバイスは高速伝送に必要な特性などを満たし、そして同時に多様なプロトコルもサポートしています。

しかし、これらのプロトコルは特定の用途を想定して策定されています。「とにかく大量のデータを伝送したい!」というかなり大ざっぱな要求に対しては、余計なオーバーヘッドなどもあり、最適なプロトコルを選ぶためにいつも頭を悩ませていました。

本稿では、米国 Altera 社が開発した汎用性の高いプロトコル「SerialLite」を筆者が使用した経験を基に、モジュールの生成方法を中心に解説します。

1. SerialLite II の使いどころ

筆者が設計したシステムのブロック図を図1に示します。カメラから取得した大量の画像データを、後段のボードに高速に転送し、画像処理を行います。使用した FPGA は、SerDes (Serializer/Deserializer) を内蔵する Altera 社の「Stratix GX」です。

● LSI 間を高速でシンプルにつなぎたい

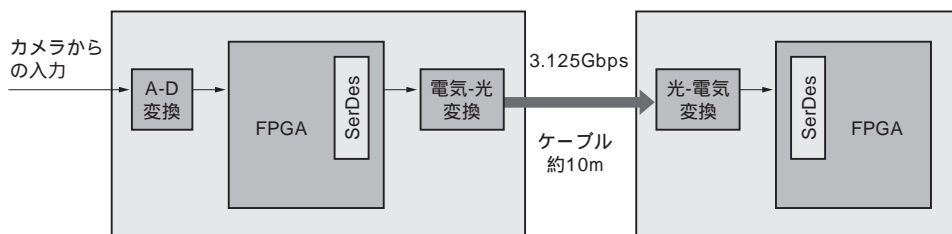
このシステムでは、すべての回路を自分たちで設計します。市販のボードを追加することはありません。従って、ボード間のインターフェースには、どのようなプロトコルを使っても構いません。無理に業界標準のプロトコルを使う必要はありません。特定の LSI 間で所望の通信が実現できればよいので、なるべく簡単にオーバーヘッドの少ないプロトコルを使うのが理想です。

図1のシステムで要求される仕様は、次の通りです。

- 1チャンネル構成
- 単方向の伝送

図1
FPGA 間で大容量のデータを高速に通信するシステムの例

カメラから取得した大量の画像データを、後段のボードに高速に転送し、画像処理を行う。



Keyword

FPGA, 高速シリアル伝送, SerialLite, Stratix GX, SerDes, MegaWizard

- 部品点数を抑えたい(なるべくなら1チップで)
- 簡単に制御したい
- 回路規模を抑えたい

このような場面で活用できるのが Altera 社の「SerialLite」です。SerialLite は、2003年に発表された SerialLite をベースに改良されたものです。仕様は公開されており、幅広いアプリケーションに適用できるプロトコルになっています。

● SerialLite の特徴

SerialLite の物理層は、以下のような機能を備えています。

- 8b/10b 符号化(エンコーダ/デコーダ)
- XAUI に基づいた電氣的仕様
- 自動リンク確定制御

また、リンク層には、以下のような機能があります。

- 制限のないデータ・パケット・サイズ
- CRC(cyclic redundancy code)を使用したパケット転送

詳しくは SerialLite の Web サイト(図2)や仕様書を参照してください。



図2 SerialLite のWeb サイト

URL は、「<http://www.altera.co.jp/products/ip/iup/seriallite/m-alt-seriallite2.html>」。

● Stratix GXのSerDes ブロック

Stratix GX の SerDes 部のブロック図(ALT2GXB)を図3に示します。

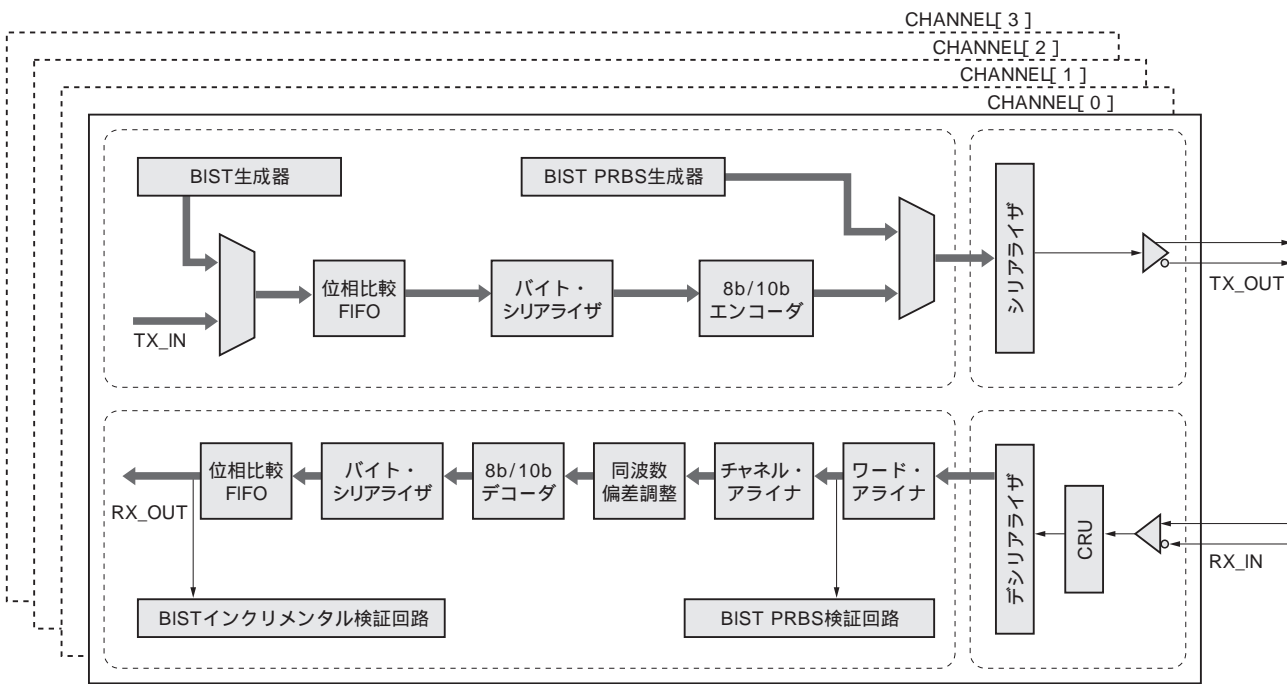


図3 Stratix GXのSerDes部のブロック図

パラレル-シリアルの変換器や8b/10bエンコーダ/デコーダ、パラレル・データを適切なワードに調整するワード・アライナ(word aligner)、チャンネル間のスキューを調整するチャンネル・アライナ(channel aligner)、再生したクロックとリファレンス・クロックの周波数偏差調整(rate matcher)などで構成されている。