

第2章

LSI開発の基礎知識

LSIの開発フローと専門用語を理解する

古川 寛

本章では、これからLSI開発に従事しようとする人のために、LSI開発の一連の流れを解説する。特に、設計と検証に重点を置く。LSI開発の世界では、電子工学出身者であっても聞いたことのない専門用語が多く存在するので、本章ではLSI工程に合わせて、言葉の解説も行ふ。

(編集部)

LSI (large scale integrated circuit) の設計では、多くの専門用語が使われます。新入社員はもちろん、そうでなくとも自身の担当分野以外の用語は不案内であることが多く、共通の言葉で話ができなくなっています。

本章では、LSI開発で用いられる専門用語についても、できるだけ説明します。特に詳しく解説している言葉を図1

Keyword									
A ~ Z	ASIC(application specific integrated circuit)	p.51	あ行	アサーション	p.53	な行	テスト容易化設計	p.58	
	ASSP(application specific standard product)	p.51		か行	圧縮パターン・テスト		p.59	同期設計	p.53
	ATPG(automatic test pattern generation)	p.59			機能検証		p.53	同期リセット	p.53
	BIST(built in self test)	p.59	機能設計		p.51	ネットリスト・レベル	p.52		
	CPF(Common Power Format)	p.60	さ行	クロック・ツリー合成	p.57	は行	配線遅延	p.54	
	CTS(clock tree synthesis)	p.57		形式的検証	p.55		配置配線	p.56	
	C合成	p.52		ゲートッド・クロック	p.54		バック・アノテーション	p.55	
	DFM(design for manufacturing)	p.58	ゲート・アレイ	p.51	バックエンド	p.50			
	DFT(design for testability)	p.58	ゲート・シミュレーション	p.55	パワー検証	p.60			
	DRQ(design rule check)	p.58	ゲート・レベル	p.52	パワー合成	p.54			
	EDIF(electronic design interchange format)	p.53	ゲート遅延	p.54	非同期設計	p.53			
	ESL(electronic system level)	p.52	検証	p.51	非同期リセット	p.53			
	FPGA(field programmable gate array)	p.51	あ行	システムLSI	p.51	ま行	ビヘイビア・レベル	p.52	
	IDM(integrated device manufacturer)	p.51		シリコン・ファウンドリ	p.51		ファブレス	p.51	
	LVS(layout versus schematic)	p.58		スキャン・インサクション	p.58		フォーマル・ベリフィケーション	p.55	
		FPGA(field programmable gate array)	p.51	か行	スキャン回路挿入	p.58	は行	フォルス・パス	p.56
		IDM(integrated device manufacturer)	p.51		スタティック手法	p.55		フォワード・アノテーション	p.55
		LVS(layout versus schematic)	p.58		ストラクチャードASIC	p.51		フロアプラン	p.57
		OPQ(optical proximity correction)	p.58	さ行	制約	p.54	ま行	フロントエンド	p.50
RTL(register transfer level)		p.52	制約付きランダム・テストベンチ		p.53	ホールド検証		p.56	
SOQ(system on a chip)		p.51	設計		p.51	ホールド時間		p.56	
STA(static timing analysis)		p.55	あ行	セットアップ検証	p.56	ら行	マルチサイクル・パス	p.56	
TDL(timing driven layout)		p.57		セットアップ時間	p.56		リーク電流	p.60	
UPF(Unified Power Format)		p.60		セルベースIC	p.51		レイアウト	p.56	
Verilog HDL		p.52	か行	ダイナミック手法	p.55	は行	レイアウト検証	p.58	
VHDL(VHSIC hardware description language)		p.52		タイミング・ドリブン・レイアウト	p.57		論理合成	p.54	
				タイミング検証	p.55		論理最適化	p.54	
			さ行	タイミング収束	p.58	ま行	論理シミュレーション	p.53	
				タイミング例外	p.56		論理等価性検証	p.55	
				ツール・チェーン	p.50				
				テクノロジー・マッピング	p.54				

図1 本稿で詳しく解説している専門用語

本文中では、見出しやかぎカッコで示している。

に示します。なお、同じ言葉であっても解釈が異なる場合
もありますが、すべてを説明できないためご容赦ください。

1 LSI 開発の準備と全体の流れ

最近では、個々の分野の技術レベルが高くなり、LSIの大規模化による負担が増加しています。このため、開発工程ごとに人を割り振る分業制が一般的です。そのせいか、全体像が分からないだけでなく、担当以外の工程に疎いエンジニアが多いようです。

エンジニアとしてのスキルを上げ、良い製品を開発するためには、全体を知ることは大切です。新人であっても、自分の分野とインターフェースする前後の工程には、興味を持ってほしいものです。

● ツール・チェーン

LSIの開発を始めるにあたり、まず最初に図2のようなフローを作成します。

フローの作成では、やるべきことをリストアップし、それらを時系列に並べます。そうすることで、必要十分で漏れないかを確認することができます。実際には使用するEDA(electronic design automation ; 設計自動化) ツール^{注1}の名前をベースに作成するのが一般的です。このため、「ツール・チェーン」と呼ばれることもあります。

ツール・チェーンの中で一番大事なのが、ツール間のイ

インターフェースです。LSI 開発ではさまざまなEDA ツールを利用します。いくら個々のツールが良くても、ツール同士でデータのやり取りができないと、活用できません。ツール間でデータをインターフェースするためのファイル・フォーマットも、多くの種類があります。これらを確認しておく必要があります。

LSI 開発における最近の話題としては、より上流の ESL (electronic system level) と、より下流の DFM (design for manufacturing ; 製造容易化設計) / DFY (design for yield ; 歩留まり設計) が挙げられます。図 2 で示した従来の開発フローに対して、上下方向への拡大が進んでいます。まだ広く普及している段階ではないため、図では割愛しました。

上流方向に拡張が進むのは、大規模な LSI を開発するにあたり、設計生産性の向上が求められているためです。下流方向に拡張が進むのは、LSI の製造プロセスの微細化に伴う製造上の問題を解決するためです。

● フロントエンドとバックエンド

ツール・チェーンの時間軸に注目すると、前半を「フロントエンド」、後半を「バックエンド」と呼びます。境界がいまいで、論理合成やDFT(design for testability ; テスト容易化設計)をどちらに含めるかはケース・バイ・ケースのようです。少なくとも、機能設計と機能検証はフロントエンド、レイアウト(配置配線)はバックエンドになります。

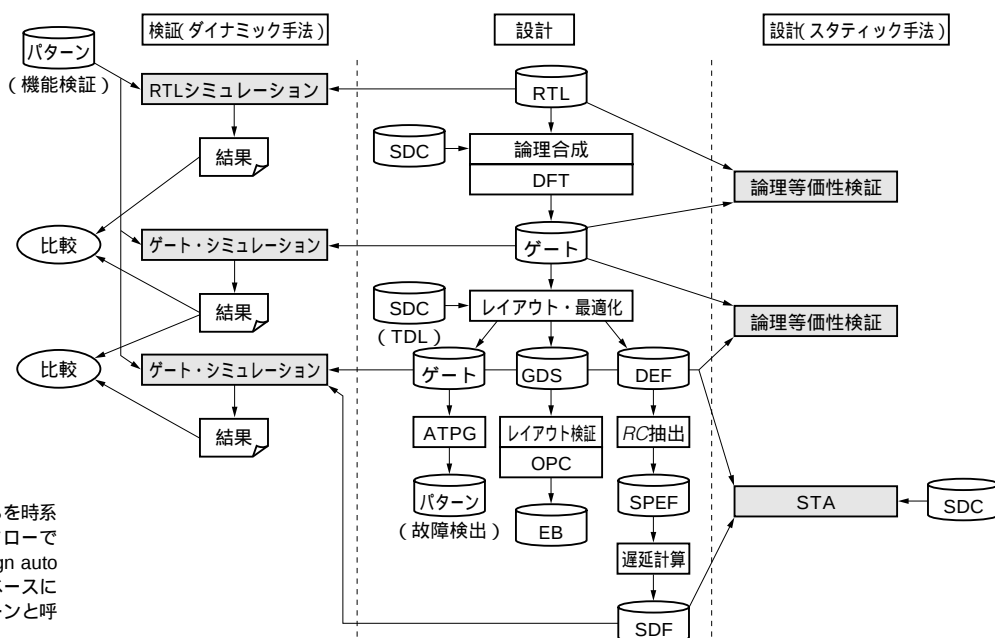


図2
ツール・チェーン

やるべきことをリストアップし、それらを時系列に並べたもの。LSI開発の一般的なフローである。使用するEDA(electronic design automation; 設計自動化)ツールの名前をベースに作成するのが一般的で、ツール・チェーンと呼ばれる。