

第3章

DFMの歴史と先端LSI開発における必要性

LSI開発のトレンドを知る

石原 宏

ここではLSI開発の現場で、いま最もホットなDFM (design for manufacturing ; 製造容易性設計) を解説する。DFMは、LSI製造の現場では、古くから存在していた技術である。LSI製造プロセスの微細化に伴い、より設計に近い工程で考慮しなければならない設計ルールが増えている。 (編集部)

ここ2～3年、DFM (design for manufacturing ; 製造容易性設計) という言葉がLSI開発の現場で頻繁に聞かれるようになりました。しかし、DFMという言葉自体は、実は20年以上前からLSI製造に携わる設計者にとって、なじみのある言葉でした。

1 DFMの基本概念

半導体産業は装置産業とも言われます。半導体を製造するためのプロセス技術(テクノロジー)を開発する上で、技術者はもちろんのことですが、半導体製造装置も大きな役割を果たして来ました。しかながら、ある装置を使う限り、その装置の精度の範囲でしか製造はできません。そこで、製造装置の能力を考慮した範囲を設計ルール(デザイン・ルール)として規定し、それを基準にして設計、そして製造を行うことになります。

● 品質は源流から

微細なプロセス技術を使ってLSIを製造すれば、チップ面積を小さくできます。しかし、製造のばらつきからくる性能や歩留まりなどの問題が顕著になりがちです。

あらかじめ製造能力を十分考慮して設計しておけば、このような問題は発生しにくくなります。このように、製造ばらつきを回避する目的で導入されたのが、このDFMです。

「品質は源流から」がDFMの基本概念といえます。

● SOCでは設計ルールの使い分けが必要

チップ面積を最小にする際に用いる設計ルールは、精度の高いアナログ設計などにはあまり使用されていません。その理由はアナログ回路に関しては、ディジタル回路よりもさらに製造ばらつきを考慮した設計を行う必要があるためです。実は、そのような考慮もDFMとして20年以上も前から設計の中に取り入れられています。

いろいろな機能ブロック(CPU, SRAM, アナログ機能, 高速インターフェースなど)を集積するSOC (system on a chip) では、使い分けが必要になります。

● 競争に勝つためにはDFMが不可欠

最近、DFMがあらためて注目されはじめたのは、先端のプロセス技術に特有とも言える製造時のばらつきの問題が、これまで以上に複雑化したことに起因しています。

近年、ディジタル民生機器が先端プロセス技術を牽引し、進歩の度合いを早めています。0.13 μ mルールからわずか数年で、90nm、65nmと移行しました。世代が移るごとにチップ面積が半分になり、低コスト化を見込めるためです。また今日では、消費電力の削減も強く望まれています。

KeyWord

DFM, 製造容易性設計, 設計ルール, DRC, LVS, IR ドロップ, LOD 効果, CMP 効果, CMP シミュレーション, CAA



市場で競争力を維持するためには、先端のプロセス技術を導入して、短期間に歩留まりを上げ、製品をいち早く市場に導入すること (time to market) が重要になります。それを達成するために必要な技術の一つがDFMです。

2 DFMの歴史と進化

筆者は半導体業界に入って30年以上がたちます。その間にさまざまなICやLSIの設計を行ってきました。DFMとの出会いは1984年頃なので、すでに20年以上前のことです。

● 20年前のDFM

筆者は20年ほど前に4ビット・マイコンや8ビット・マイコン、液晶ドライバなどの開発を行っていました。その頃のプロセス技術というと2.5 μ m前後のルールが先端でした。

LSIの設計においては、当然品質に関しても最新の注意を払っていました。とはいえ、量産に移行するまでの間には歩留まりや信頼性など、いくつかの改善点が出てくることもありました。量産に移ってから、不良品の解析結果を生かす必要があります。

これらの改善点の中には、プロセス技術で対応すべき問題ももちろんありました。しかし、源流である設計の段階で改善できる問題も少なくありませんでした。ところが、設計で用いるDRC (design rule check) で対応できない、目視や手作業で対応せざるを得ません。このために用意されたのがDFMガイドラインだったわけです。

当時のDFMガイドラインは、今日のように目立ったものではありませんでした。20ページ程度からなり、製造ばらつきに対応するだけでなく、回路設計のノウハウや品質問題を起こさないための手法なども網羅していました。

設計者全員が設計ルールとDFMガイドラインを手に、設計を進めていきました。必要なタイミングで設計レビューを設け、それぞれの項目をひとつひとつチェックしました。当時は、DFMに対応したEDAツールがなかったためです。独自に開発したツールを用いることもありましたが、多くは手作業や目視でチェックせざるをえない状況でした。

その後、LVS (layout vs. schematic) のようなツールで、レイアウトと回路図が一致しているかを自動で検証できるようになりました。もちろん、一度検証された機能ブロック (CPU, SRAM, ROM, PLL, ADC, DAC など) は、次の品種開発ではそのままブロックとして活用することが

できたので、全体のチップの設計としてはかなりの時間短縮ができるようになりました (現在のIPベースのSOC設計)。

● 現在のDFM

20年前のDFMは、より回路設計全般に渡るものでしたが、現在のDFMの多くは、製造時のばらつきからくるものに特化された形になってきています。いかに歩留まりを高く、そして安定した製品をいち早く市場に投入できるようにするかに重点が置かれています。

2005年には、ITRS (International Technology Roadmap for Semiconductor ; 世界半導体技術ロードマップ) に初めてDFMが盛り込まれました。これは半導体の先端技術開発において、半導体装置のばらつきが設計に大きな影響を与えると懸念されることを示唆しています。DFMにいかに適応していくかが、今後の先端技術を用いたLSI開発で成功を収めるための、大きな鍵になっているとも言えます。

● DFMの進化

通常、いかにチップを小さく作るかという観点から、設計ルールとして具体的な最小ルールが規定されています。しかしながら、DFMも時間とともにその影響度も変化していきます。

図1のように、プロセス技術の研究・開発段階では、DFMで対応しなければならない項目が抽出されます。そのプロセス技術の開発を進めながら、DFMルールを蓄積していきます。すべてのDFMルールが網羅された状態になって、量産品を製造できるようになります。その後、量産品の製造が進むと、プロセス技術の改善が進み、DFMルールは緩くできるようになります。

DFMが注目されはじめたのは、90nmが導入された頃でした。主な項目はLOD効果や冗長ビア、ダミーPoly、ダミー・メタルでした (詳細は後述する)。

0.13 μ mの時代は、これらの一部だけが取り入れられていました。ダミーPolyやダミー・メタルなどは、その占有密度を満たすためのユーティリティ・ソフトウェアが、ファウンドリから提供されていました。LOD効果などは注意事項になっていましたが、DFMという形ではありませんでした。この世代では、DFMと強調しなくても、設計ルールやリファレンス・フローなどを参考にすれば問題が起らなかったのです。