

ADuC7026 インターフェース回路の 設計

江崎雅康

画像ベースボードの狙いは、各種画像フィルタや高速テンプレート・マッチング、モーション検出など高度な画像処理アルゴリズムを検証するためのハードウェア・プラットフォームを準備することである。そこで、制御用にマイクロプロセッサを用意した。今回は、A-D/D-Aコンバータを内蔵したADuC7026を採用した。

(編集部)

1 マイクロプロセッサADuC7026 を選んだ理由

…アドレス/データ時分割多重化バスで
信号線が少ない

本誌2007年8月号で紹介した画像ベースボードCQ-SP3EDWの設計に当たって、いちばん苦慮した点は付属基板の信号ピンのやりくりです。

付属基板に搭載されたXC3S250E-VQ100は100ピン・パッケージです。電源を除くとコネクタ経由で使える信号線の本数は、次のように限られています。

- 入出力ピン 53本
- 入力専用ピン 4本
- クロック 1本

16ビット・バス幅のVGA画像フレーム・メモリを接続するためには最低、

- データ線 16本
- アドレス線 18本
- 制御線 3本 (/CS, /RD, /WR)

の計37本を必要とします。しかし、その余裕はないので、

16ビット・バス幅のVGA画像フレーム・メモリの搭載は断念しました。

制御用マイクロプロセッサは熟慮の末、ADuC7026(米国Analog Devices社)を採用しました。このLSIは、本誌2006年3月号の付属企画に採用されたARMコア内蔵のマイクロプロセッサです。

ADuC7026はアドレス線とデータ線が多重化されたマルチプレクス・バスになっています。図1に示すように、

- アドレス/データ信号線 16本(AD0 ~ AD15)
- 制御信号線 4本(nMS0, nRD, nWR, AE)

の計20本で、FPGA内のレジスタやメモリ・ブロックをアクセスできます。

ADuC7026は水晶発振子(32.768kHz)のクロックを、内蔵しているPLL(Phase-locked Loop)回路で^{てい}倍して得られるクロック(最高41.78MHz)で動作します。

図2の機能ブロック図に示すように、

- フラッシュ・メモリ 62Kバイト
- SRAM 8Kバイト
- 12ビットA-Dコンバータ 12 + 4チャンネル
- 12ビットD-Aコンバータ 4チャンネル
- GPIO(General Purpose Input Output)
- 外部メモリ・インターフェース

などを備えたマイクロプロセッサです。

画像ベースボードは図1に示すように、USB-シリアル変換ICのCP2102(米国Silicon Laboratories社)を搭載しています。ADuC7026のシリアル・ポートをUSBに変換し、仮想COMポートとしてプログラムのダウンロードおよび

Keyword

ADuC7026, VGA画像フレーム・メモリ, ARMコア, マルチプレクス・バス, リード・タイミング, ライト・タイミング

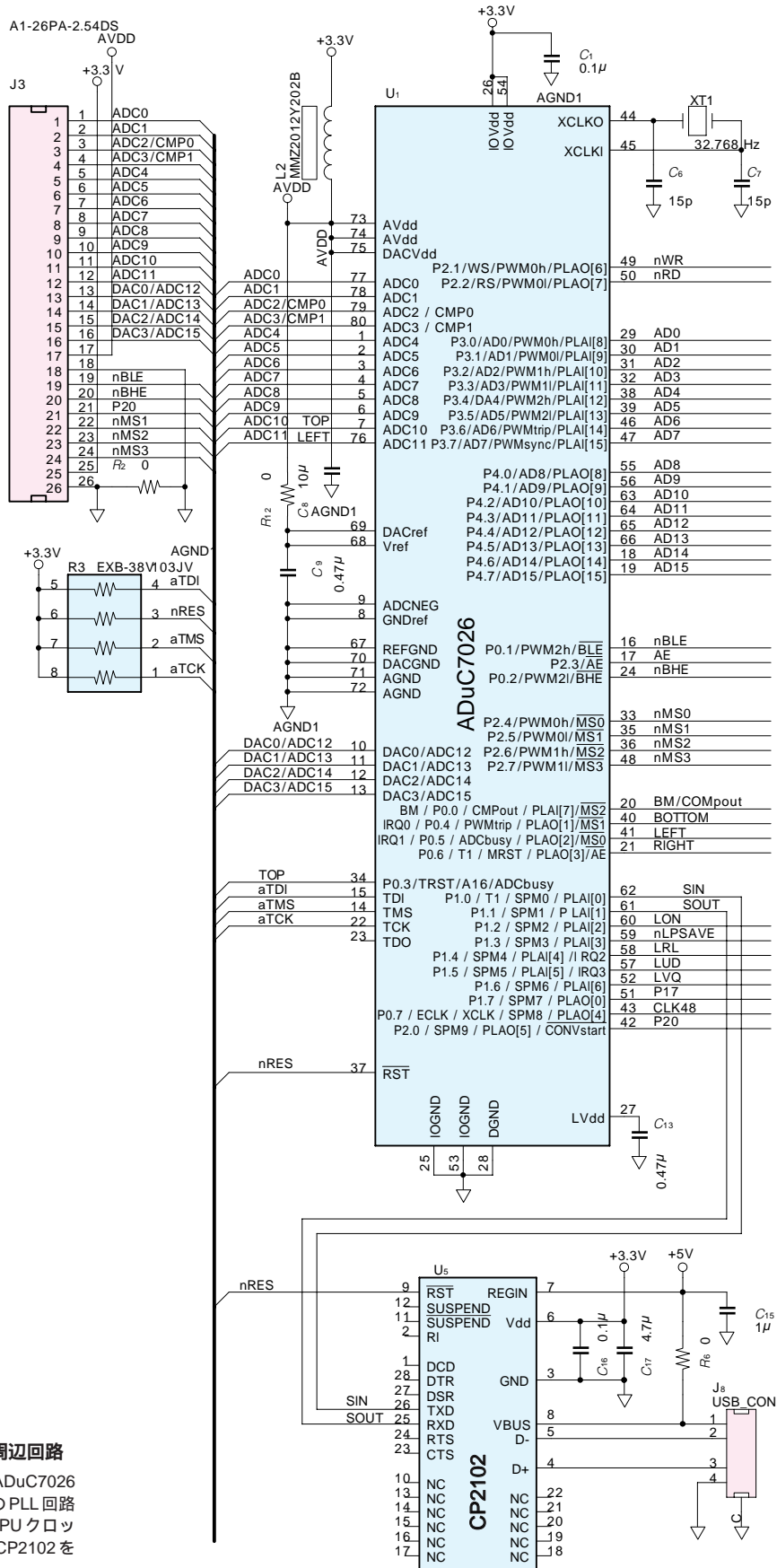


図1
AduC7026 マイクロプロセッサ周辺回路
 ARM コア内蔵マイクロプロセッサ AduC7026 は 32.768kHz の発振周波数を内蔵の PLL 回路により最高 41.78MHz に逡倍して CPU クロックとする。シリアル-USB 変換 IC の CP2102 を画像ベースボード上に搭載している。