

PIPEのインターフェース 設計徹底解剖

PHYチップを使うために避けては通れない

福田光治



本稿では、低コストのアドイン・カード(エンドポイント)などで利用されるPHYチップを使うために必要なPIPEについて、基礎から説明する。ボードやFPGAにおいて、PIPEがどのように設計し、実装されているか、実際の基板を用いて詳しく解説する。(編集部)

現在、組み込みシステムや産業機器の分野では、2008年の製品化へ向けてPCI Expressインターフェースを備えた製品の開発が数多く進められています。特にx1/x4リンクのアドイン・カードなどといった安価で低消費電力のシステムで採用されるエンドポイント製品(表1)は、PHYチップとFPGAなどを用いた2チップ構成で実現できます。

1) PHYチップのメリット/デメリット

PCI ExpressインターフェースをPHYチップで実現する場合、2.5Gbpsのシリアル・インターフェースとPIPE(PHY Interface for the PCI Express Architecture)という2種類のインターフェースを確立する必要があります(図1, 図2)。PIPEは、PHYチップとバックエンド回路(FPGAなど)とを接続するクロック同期の並列・インターフェースです。このように多数の高速信号を扱うシステムにおいては、設計ノウハウや開発コスト、消費電力などさまざまな問題が存在します。実際に2チップで構成した場合のメリットとデメリットを次に記します。

1) PHYチップを用いるメリット

- PHYチップ(ASSP : Application Specific Standard

Product)を用いることで消費電力を抑制可能

- 上位層(MAC/トランザクション/データ・リンク)デバイスを幅広く選択可能
- BeaconやSpread Spectrum ClockなどPCI Express規格専用機能に対応可能
- 1レーンあたり20~30ドル程度のコストで実現可能
例えば、FPGA+PHYでは10ドル/レーン、FPGAのみでは20ドル/レーン
- 標準インターフェースであるPIPEを用いることにより、上位層デバイスをFPGAからASIC(Application Specific Integrated Circuit)へシームレスに移行可能

2) PHYチップを用いた場合のデメリット

- 並列・インターフェースの設計の難易度化(ネット数の増加)と部品点数の増加
- 電源システムの増加
- 実装面積の増大(1チップ構成と比べて2チップ構成の方が必要な面積が大きい)

2チップ構成では、FPGAの規模やI/Oピンの数に幅広い選択肢があります。必要なインターフェースや実現するアプリケーションに柔軟に対応できます。その反面、1チップの場合には必要ないPIPEによって基板面積が増大し、パターン設計が難しくなります。

2) PIPEインターフェースの基本

●PIPEインターフェースとは

PIPEとは、図1で示したように、PCS(Physical

KeyWord

PCI Express, PHYチップ, PIPE, PXPIPE, TI-PIPE, エンドポイント, アドイン・カード, SSTL, トポロジ, 伝送線路シミュレーション, FPGA, ソフトIPコア

表1 PCI Express トポロジ構成要素

エンドポイントは、x1/x4リンクのアドイン・カードなどの安価で低消費電力なシステムで採用される。PHYチップとFPGAを用いた2チップ構成で実現するケースが多い。

項目	概要
ルート・コンプレックス	I/O 構造の最上位階層デバイス。CPUやメモリ・サブシステムをI/Oとして接続。
スイッチ	複数のPCI Expressポートを接続し、ポート間でのルーティングやレイテンシ管理を行うデバイス。
ブリッジ	レガシPCIシステムへの接続など、デバイス相互接続性を確立。
エンドポイント	タイプ00h コンフィグレーション空間ヘッダを有するデバイス。末端のモジュールとしてルート・コンプレックスやスイッチに接続される。

Coding Sublayer)の機能を搭載したPHYチップと、MAC層(Media Access Control Layer)機能を搭載したFPGAやASICの間を接続するための標準インターフェースです。PIPEの確立により、エンドポイント・デバイスを開発するASICベンダやMAC層のIP(Intellectual Property)コアを提供するIPコア・ベンダなどは共通した伝送プロトコルのもと、開発できます。またFPGAからASICへの移行や、FPGAのデバイス変更などをシームレスに行えます。

● PIPEの電気特性は定義されていない

PIPEの伝送は、データがクロックに同期したソース・シンクロナス転送方式を用います。PIPEには大別して四つの信号グループ(データ信号、コマンド信号、ステータ

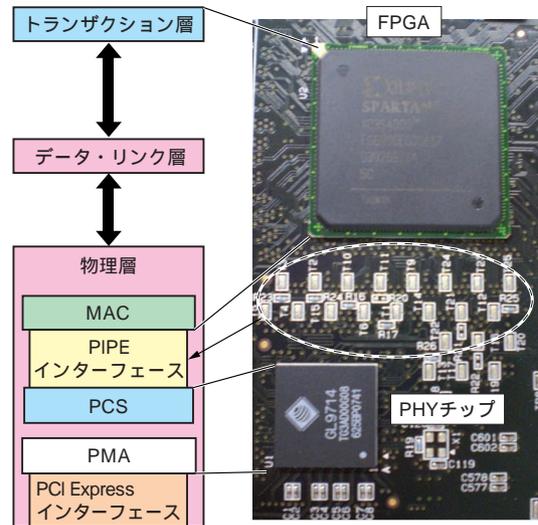


図1 PCI Expressを2チップで構成した例

PCI Expressの3層構造のうちPHYで実現する部分とそれより上の上位層を表す。PHYチップとFPGAとの間の配線グループがPIPEとなる。

ス信号、クロック信号)が存在します。各信号を図2に示します。

実はPIPE信号には、直流特性が定義されていません。PHYチップやASICなどによって使用する電気的なI/O規格は変わってきます。一般的には2.5V電源電圧ベースのSSTL-II Class I規格(DDR SDRAMインターフェースと同じ)が用いられます(図3)。SSTL-18や1.5V/1.8Vベースのインターフェースを用いる製品もあります。(p.47へ続く)

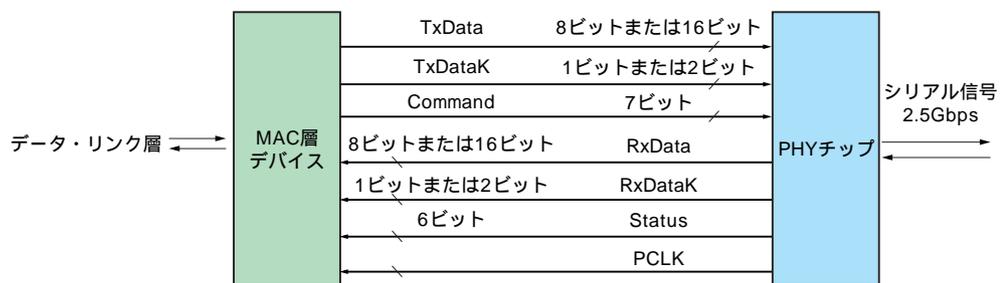


図2

PIPE インターフェースの概要

PHYチップとMAC層間に接続されるPIPE信号を表す。PIPEはデータ信号、コマンド信号、ステータス信号、クロックに大別できる。また、表は各信号についての特徴を説明している。

信号名	ビット幅	方向	概要	周波数
TxDATA	8または16	入力	PHYデバイスへのパラレル・データ入力	125MHzまたは250MHz
RxDATA	8または16	出力	PHYデバイスからのパラレル・データ出力	125MHzまたは250MHz
TxDATAK	1または2	入力	TxDATAがデータなのかコントロール信号なのかを示す入力	125MHzまたは250MHz
RxDATAK	1または2	出力	RxDATAがデータなのかコントロール信号なのかを示す出力	125MHzまたは250MHz
COMMAND	7	入力	PHYへの動作コマンド制御用入力 (TxDetectRx/Loopback, TxElecIdle, TxCompliance, RxPolarity, Reset#, PowerDown[1:0])	-
STATUS	6	出力	PHYからのステータス通知用出力 (RxValid, PhyStatus, RxElecIdle, RxStatus[2:0])	-
PCLK	1	出力	同期パラレル信号のクロック出力(立ち上がり同期)	125MHzまたは250MHz