

PCI Express 搭載 LSI の設計

IP コア選定の考え方と
PCI Express 高速転送技術

五十嵐拓郎



最近、高速な拡張バスとして使われてきた PCI-X が消えつつあり、PCI Express にとって代わっている。読者の中にも、PCI や PCI-X の拡張カードを PCI Express に置き換える必要性を感じている方も多いと思う。本稿では、筆者らが開発した PCI Express とローカル・バスのブリッジ LSI を例にとり、FPGA (Field Programmable Gate Array) や ASIC (Application Specific Integrated Circuit) に PCI Express などのバス・インターフェースを実現するための IP (Intellectual Property) コア選定手法を解説する。IP コアを使いこなして転送能力を最大限に取り出す技術を解説する。(筆者)

LSI (写真1) では、最初に次のような要求がありました。

1 要求される PCI Express の機能と性能の洗い出し

● IP コアでローカル・バスとのブリッジ LSI を設計
どのようなものを作る場合でも同じですが、最初に必要な機能と性能を洗い出します。今回、筆者らが設計した

- 本 LSI を使って PCI Express インターフェースを安価に実現できる
- 汎用的に使える
- PCI Express の 4 レーン (x4) に対応する
- PCI Express の帯域に見合ったローカル・バス・インターフェースを実装する
- PCI Express とローカル・バスの双方からアクセス可能な大容量・高速メモリのインターフェースを搭載する
- DMA (Direct Memory Access) コントローラを内蔵し、Scatter/Getter モード^{注1}に対応する
- 転送性能を限界まで引き出せる
- PCI Express 部は市販の IP コアを使う
- コスト面からストラクチャード ASIC を使う

また、明確な要求以外の潜在的な要求は常に存在します。潜在的な要求を考慮しないと応用が利かず、製品寿命が短くなります。

筆者の経験では、潜在的な要求の洗い出しに一番効果的なのは、キーとなる人に直接聞き取り調査を行うこと



写真1
今回作成した LSI の
外観
アバルデータ製の PCI
Express bus Bridge
「AAE-B04」。

注1: DMA 転送方法の一つで、転送元・転送先・転送サイズが書かれたテーブルを参照しながら連続的にデータ転送を行う方法。複数のテーブルをつなげることが可能なので、非連続アドレスを転送元・転送先とするデータ転送がソフトウェア負荷なしに実行できる。Windows や Linux といった、仮想メモリを使用した OS では実メモリ・アドレスが連続して確保されないため、このモードが必要となる。

Keyword

PHY IP, MAC IP, DMA, ペイロード・サイズ, リンクアップ, TC マッピング, チップセット, レシーバ検出, IP コア, トランザクション型バス, インターロック型バス

です。メールを送って返事を待つより、直接話を聞いた方がより多くの情報を入手できます。聞かれる方も話すうちに頭が整理できます。聞き取りで以下の潜在的な要求があることが分かりました。

- ローカル・バスには必ずFPGAが接続されるので、FPGAとの接続性が良いこと
- FPGAのコンフィグレーションを行える。また、ホストからコンフィグレーション・データをアップデートできること
- 部品点数を少なくできるようにシンプルな回路構成となること(特にコストへの影響が大きいクロックと電源の部品)

以上の要求のうち、IPコアを用いるPCI Express部以外は、ほぼフルスクラッチで作成することになります。この時点でかなりの設計量になることが予想されます。

2 PCI ExpressのIPコア選定

● MAC部のIPコアでボードの特徴が決まる

要求仕様を踏まえ、重要なPCI ExpressのIPコアを選定します。詳細仕様を決める前にIPコア選定を行うのは、使用するIPコアによって、仕様に大きな影響を与えるからです。IPコアにより実装可能な機能が決まったり、実装にかかる設計量が大きく変わったりします。

PCI Expressは通常、二つのIPを組み合わせて使用します。一つはPHY部分のIPコア(PHY IP)、もう一つはMAC(Media Access Control)部分のIPコア(MAC IP)です。

PHY IPは、2.5Gbpsインターフェースを含む物理層の電気サブブロックと、論理サブブロックの一部が含まれ

ます。普通はLSIベンダより供給されます。PHY IPとMAC IPは通常、PIPEインターフェースで接続されます(図1)。

MAC IPは、物理層の論理サブブロックより上位の部分です。PCI Expressでは、このMAC IPを選択することによりPCI Express部の個性が決まります。

● トランザクション層の充実度がIPコア選択の決め手

MAC IPの選定において重要なのは以下の項目です。トランザクション層の回路をどの程度実装しているか。また、ユーザ・インターフェースはどうなっているか。プロトコル・データ・バス幅・クロック周波数など回路規模はどの程度か。

IPコアベンダのサポート体制は良いか。

は自身でどの程度作り込む必要があるかに直結します。PCI ExpressのIPコア(MAC IP)でよく見るのは、トランザクション層バケット(TLP)がほぼそのままユー

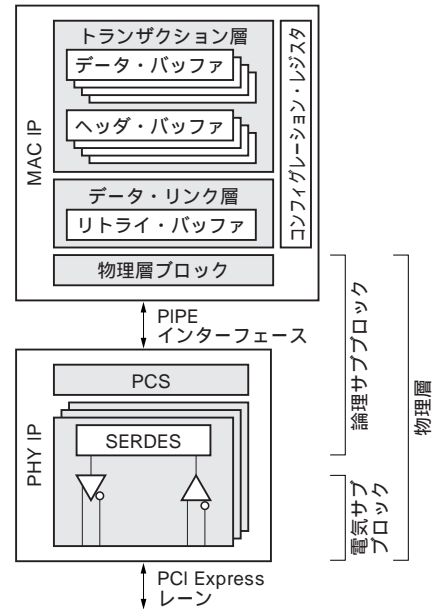


図1 PCI Express部の基本的な構造
PCI ExpressのIPコアは通常MAC部とPHY部の二つに分かれて提供される。

表1 IPごとの特徴

IPベンダにより注力している部分が異なるのが分かる。

メーカー	TL(トランザクション層)の作り込み度	Maxレーン	MAX Payload	IP種別	DMA	バックエンド・インターフェース	
						タイプ	マスタ/ターゲット
インベンチュア	高	16	4Kバイト	ソフト・マクロ	なし	メモリ・アクセス	分離
A社 Aタイプ	中	8	2Kバイト	ソフト・マクロ	あり	メモリ・アクセス	分離
A社 Bタイプ	中	4	4Kバイト	ソフト・マクロ	なし	TLPバケット	非分離
B社 Xタイプ	低	8	4Kバイト	ハード・マクロ	なし	TLPバケット	非分離
B社 Yタイプ	低	8	512バイト	ソフト・マクロ	なし	TLPバケット	非分離
C社	低	8	2Kバイト	ソフト・マクロ	なし	TLPバケット	非分離
D社	低	16	4Kバイト	ソフト・マクロ	なし	TLPバケット	分離