

## Gen2 と Gen3, ケーブル規格の概要

PCI Express の今後の動向

畑山 仁

PCI Express Rev.2.0 やケーブル規格の最近の動向, 必要となる計測器などを紹介する. また, PCI Express Rev. 3.0 の動向について紹介する. (編集部)

チップセット「Intel X38 Express」が2007年10月に登場したの  
に続き, 同チップセットを搭載したメイン・ボードが, 市場に  
出回り始めました.

### 1 PCI Express Rev.2.0

#### ● 物理層の電気サブブロック面を変更

Rev.2.0のデータ転送レートは規格化段階で6.25Gbps, 6Gbps, 5Gbpsと意見が分かれましたが, Rev.1.x との両立を目指して5Gbpsに決定され, 2006年12月に正式に発行されました(p.74のコラム「PCI Expressの歴史とフォームファクタ」およびp.75のコラム「規格書の違い」を参照).

デバイス内部の浮遊キャパシタなどの影響で, 周波数が高くなると, 終端されていてもインピーダンスが下がる傾向にあります. 高周波でのインピーダンス整合性を高めるため, 基板の差動インピーダンスを100 から85 に下げました. ただし終端差動抵抗は従来どおり100 です.

ディエンファシス量も増やされ, 本文中にあるように2.5Gbpsの - 3.5dBに加え, 5Gbpsでは - 6dBが追加されました.

グラフィックス用にRev.2.0のx16リンクを2ポート搭載した

#### ● クロック入力やジッタの電気テスト方法を変更

Rev.2.0ではシステム・ボードのテスト方法で下記のような変更がありました. これらの変更に伴い, PCI-SIGのオシロスコープ用コンプライアンス・テスト・ソフトウェアであるSigTestも改版されました(SigTest3.1). なおテスト・フィクスチャも写真1のように変更になりました.

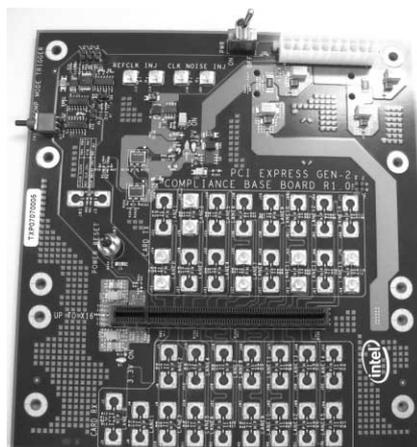
##### 1) デュアル・ポート測定

Rev.2.0のアドイン・カードはRev.1.1同様に, ジッタが小さい「クリーン・クロック」をリファレンス・クロックに入力して, データのアイ・パターンとジッタを測定します. システム・ボードでは, 従来のようにデータ, クロックのジッタを別々に測るのではなく, 同時に測定する「デュアル・ポート測定法」が取り入れられました. これはクロック・ジッタの影響を受けて発生するデータ・ジッタ(コモン・ジッタ)を除外しようという観点からです.

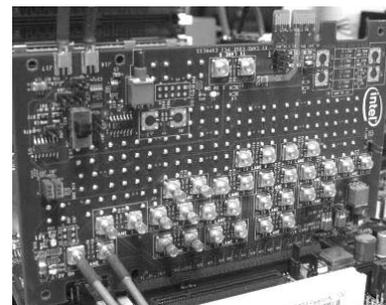
#### 写真1

##### Rev.2.0用のCLBとCBB

CBB(Compliance Base Board)は, 基本的にRev.1.xと変わらない. データ・レートとディエンファシス量の設定スイッチが付いたことと, ケーブル接続用のレセプタクルがSMAからSMPに変更されたことが異なる. CLB(Compliance Load Board)は, x1とx16用とx4とx8用の2種類になった. リファレンス・クロックへのアクセスがヘッダ・ピンへの差動プローブ接続からSMPレセプタクルへのケーブル接続に変更された.



(a) CBB



(b) CLB

# PCI Expressの歴史とフォーム・ファクタ

コラム 1

2002年当初、PCI Expressは国内で話題になることも少なく、筆者らはその普及を懸念しました。米国 Intel社がPCI Expressを搭載したチップセットを出荷し、同チップセットが搭載されたメイン・ボードが出回り始めた2003年の初夏ごろから、状況が変わりました。

2007年の現在ではパソコン/サーバでの導入はもちろん、高性能コピー、プリンタなどの事務機器、さらに放送機器や医療機器など、特にデータ伝送帯域を必要とする画像処理のアプリケーションを中心に

広がりを見せています。

また、2006年末から2007年にかけて、データ転送レートを5Gbpsに高めたRev.2.0およびケーブル仕様が制定されるなどの活発な動きがあります。2007年8月には、さらに次の世代、Gen3(Rev.3.0)のデータ転送レートを8Gbpsに決定したとの発表もありました。表A-1に今日までのPCI Expressの主な規格の発表時期をまとめます。

また物理層はPCI Expressに準拠しながらも、表A-2のようにさまざまな標準規格団体から、さまざまなフォーム・ファクタが登場しています。

表A-1 PCI Expressの規格の推移

時期	出来事
2002年 7月	Base/CEM Specification Rev.1.0
2003年 4月	Base/CEM Specification Rev.1.0a
2004年 12月	Gen2 5Gbps 採用決定
2005年 3月	Base/CEM Specification Rev.1.1
2006年 12月	Rev.1.1 コンプライアンス・テスト開始
2006年 12月	Base Specification Rev.2.0
2007年 1月	External Cabling Rev.1.0
2007年 2月	Rev.2.0 コンプライアンス FYI注テスト開始
2007年 4月	CEM Rev.2.0
2007年 8月	Gen3(Rev.3.0) 8Gbps採用決定

注：For Your Information(参考)

表A-2 PCI Expressを支援する規格団体と代表的なフォーム・ファクタ

規格団体	フォーム・ファクタ
PCI-SIG	アドイン・カード
	Mini-Card
	ワイヤレス・フォーム・ファクタ
	Express モジュール(サーバI/Oモジュール)
	ケーブル
PCMCIA	ExpressCard
PICMG	COM Express
VITA	XMC

## 2) Rj/Dj/Tj という3種類のジッタの測定

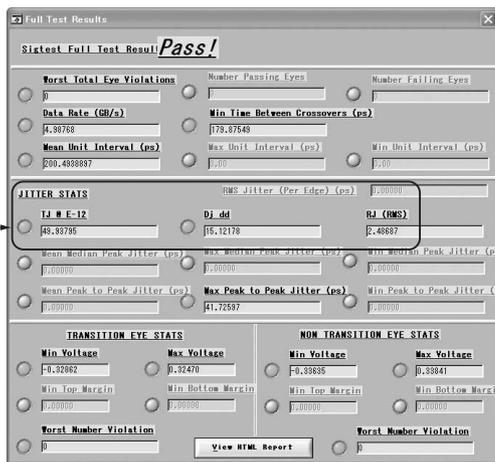
ジッタはランダム・ジッタRjとデタミニスティック・ジッタDjに大別されます。両者は性質が大きく異なります。ランダム・ジッタは熱雑音などに起因するので、時間経過(つまり伝送されるビット数)に伴い大きなジッタの発生確率が徐々に高ま

ります。一方、デタミニスティック・ジッタはスイッチング電源やオシレータからの漏れ込みなどに起因するので、確率分布は時間経過に関係なく一定となります。

PCI ExpressのRev.1.1ではジッタのパケットとして数値が記載されましたが、Rev.2.0ではトータル・ジッタTjとRj、Djの測定が必須となりました。図1に5GbpsのSigTest3.1による測定結果を示します。

### ● オシロスコープの帯域が12.5GHzまで必要

測定器は、どこまでの周波数成分を捕捉できるかが重要です。最近の規格では第5高調波捕捉(NRZ信号ではデータ・レートの1/2が基本波)が目安という考えで、Rev.2.0でも取り入れられました。そのため、5Gbpsの信号の捕捉には12.5GHz帯域のオシロスコープが必要です。表1に各データ・レート(規格)の基本波および高調波周波数を示します。



PCI Express Rev.2.0で新しく追加

図1 SigTest3.1での5Gbps信号測定例

SigTest3.1では、JITTER STATSのTJ @ E - 12とDj\_dd, Rj(RMS)が追加された。

## 2 そのほかのトピックス

### ● ケーブル規格の制定により機器間接続が可能に

ケーブル規格(Cable Specification)は、内部バスであるPCI