

CMOSアナログICの 実用設計

吉田晴彦

第 9 回

CMOS アナログIC PWM01 の回路設計 (5) 発振器とPWM比較器の設計



PWM01の回路設計の5回目として、発振器とPWM (Pulse Width Modulation) 比較器を設計する。あと1回でCMOS アナログIC PWM01の設計は完了である。 (編集部)

1. 発振器の設計

今回設計するのは、外付けキャパシタ C_T と外付け抵抗 R_T の組み合わせで発振周波数を可変できる発振器です。この発振器の回路は、電流発生部、三角波発生部、充放電制御部、発振停止部で構成します。RT 端子に接続する抵抗 R_T で決定した電流 $I_{RT} = I_{CT}$ により、CT 端子に接続するキャパシタ C_T を充放電することで三角波を発生します (図1)。

● 電流発生部の設計

電流発生部のブロック図を図2に示します。

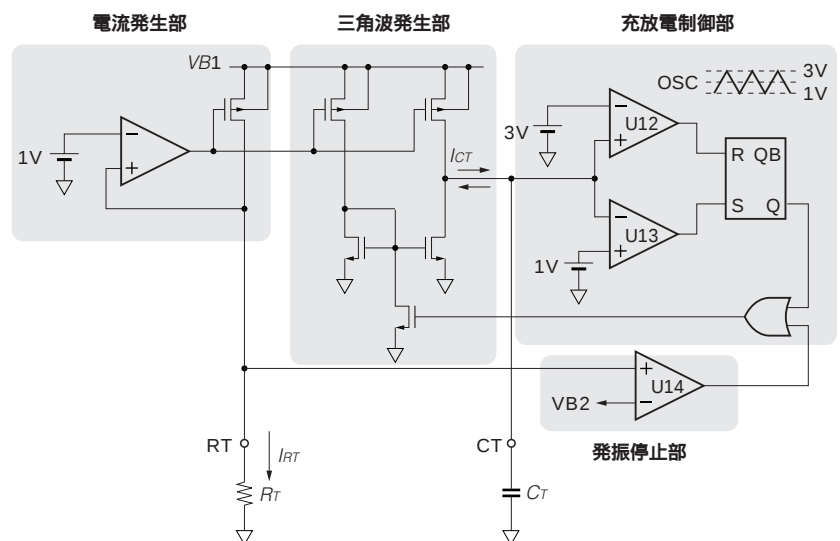
基準電圧 $V_{REF1V0} = 1V$ と外付け抵抗 R_T により発振器の充放電電流 I_{CT} を発生します。OP アンプで M1 のソース・ゲート電圧 V_{SG1} を制御して、RT 端子に流れる電流 I_{RT} を制御します。また、電流 I_{RT} をカレント・ミラーで折り返して CT 端子に出力し、CT 端子キャパシタの充放電電流 I_{CT} とします。充電電流 I_{CT} は、RT 端子電圧 V_{RT} と RT 端子の外付け抵抗 R_T から、

$$I_{CT} = I_{RT} = \frac{V_{RT}}{R_T}$$

となり、 $V_{RT} = 1V$ から、

図1
発振器のブロック図

外付けキャパシタ C_T と外付け抵抗 R_T の組み合わせで発振周波数を可変できる発振器。電流発生部、三角波発生部、充放電制御部、発振停止部で構成される。



Keyword

発振器、電流発生部、三角波発生部、充放電制御部、発振停止部、比較器、PWM コンバータ、最大デューティ・サイクル、最小デューティ・サイクル、レベル・シフト

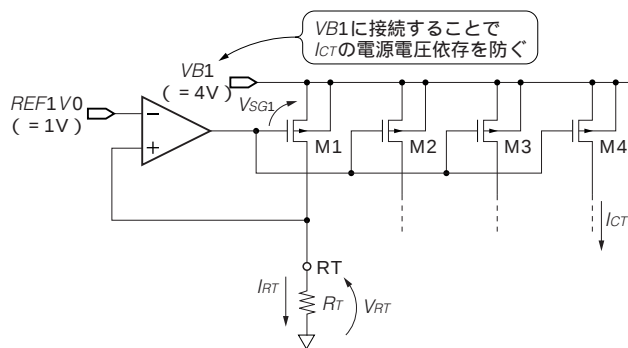


図2 電流発生部のブロック図

OP アンプでトランジスタ M1 の V_{SG1} を制御し、基準電圧 $REF1V0$ と外付け抵抗 R_T で電流 I_{CT} を発生する。

$$I_{CT} = \frac{1}{R_T} \dots\dots\dots (1)$$

で与えられます。

また、M1 ~ M4 のチャネル長変調による電流 I_{CT} の変動を抑制するために、電源は V^+ でなく $VB1$ からの供給とします(図3)。

(1) 回路構成

電流発生部は、図4のような回路構成とし、M1 のソース-ゲート間電圧 V_{SG1} の電圧範囲は、すべてのトランジスタを飽和領域で動作させることを考慮すると、

$$VB1 - (V_{REF1V0} + V_{SG} - V_{SD(sat)}) \leq V_{SG1} \leq VB1 - V_{D(sat)}$$

で与えられます。ここで、

$$V_{SG} = V_{SD(sat)} + |V_{TPE}|$$

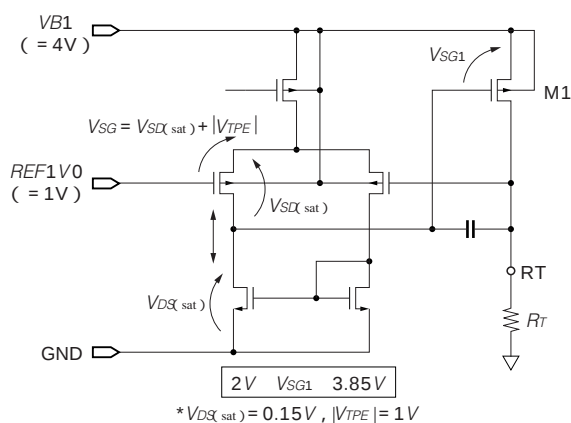


図4 電流発生部の回路構成1

この回路構成では、 V_{SG1} の動作電圧範囲が狭い。

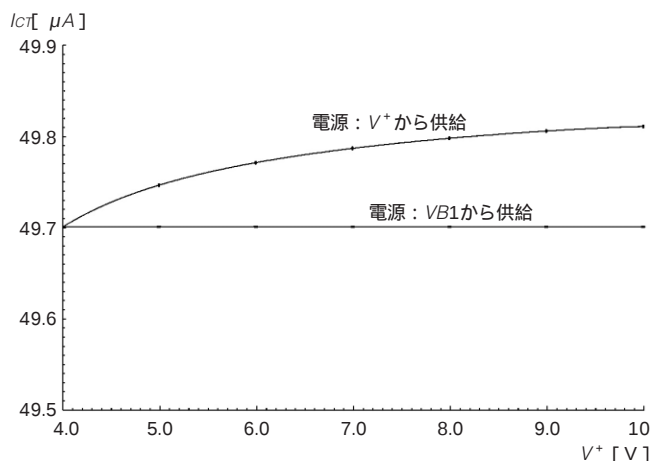


図3 I_{CT} の電源電圧依存特性

電源を V^+ でなく $VB1$ とすることで、M1 ~ M4 のチャネル長変調による電流 I_{CT} の変動を抑制する。

$$V_{D(sat)} = 0.15V$$

$$PMOS : \text{しきい値高め } |V_{TPE}| = 1V$$

$$VB1 = 4V$$

$$V_{REF1V0} = 1V$$

とすると、

$$VB1 - (V_{REF1V0} + |V_{TPE}|) \leq V_{SG1} \leq VB1 - V_{D(sat)}$$

$$2V \leq V_{SG1} \leq 3.85V$$

です。 V_{SG1} の動作電圧範囲が狭くなるので、図5のような初段のアクティブ負荷を折り返す回路構成とします。この回路構成における、M1 のソース-ゲート間電圧 V_{SG1} の電圧範囲は、

$$V_{SD(sat)} \leq V_{SG1} \leq VB1 - V_{D(sat)}$$

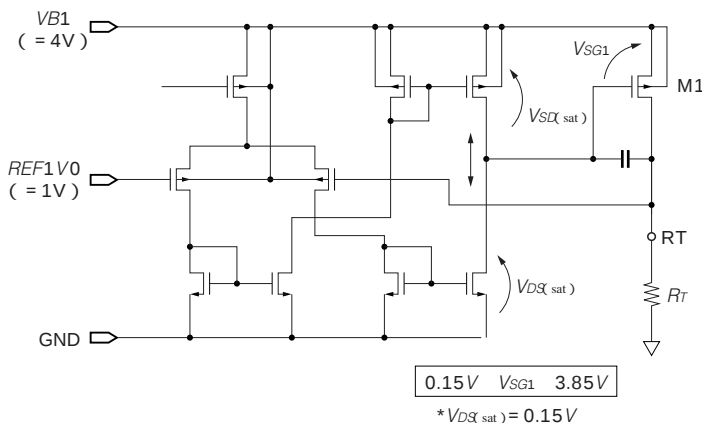


図5 電流発生部の回路構成2

初段のアクティブ負荷を折り返して、 V_{SG1} の動作電圧範囲を広くする。