

# 共有メモリ型マルチコア・システムの設計

## オープン・ソースのCPUコアLatticeMico32による実現と評価

山際伸一

ここでは、米国 Lattice Semiconductor 社のソフト・マクロのCPUコア「LatticeMico32」を利用したマルチコアFPGAの設計・評価事例を紹介する。Mico32はオープン・ソースで提供されている。無償で利用でき、ロイヤリティも不要である。約4.8万LUT規模のFPGAに実装した場合、1割にも満たない規模で実装できる。FPGAの“すき間”で利用したり、マルチプロセッサ・システムのCPUとして活用できる。

(編集部)

FPGAの高集積化に伴い、多くの機能を一つのチップに詰め込む技術が発達しました。今ではFPGAを一つだけ搭載すれば、目的の動作をするシステムが構築できるほどになっています。さらに、マイクロプロセッサ技術もFPGAに導入され、ソフトウェアの活用が可能になっています。代表的なプロセッサ・コアとしては、米国Xilinx社のMicroBlaze、米国Altera社のNios IIがあげられます。これらのCPUコアは、専用ツールによりユーザの設計に取り込まれます。通常はネットリストによる提供になるため、CPUの詳細は隠され、ベンダの意図した方法でのみ使用することが推奨されています。

その一方で、米国 Lattice Semiconductor 社は LatticeMico32(以降、Mico32と呼ぶ)と呼ばれるCPUコアを無償で、しかもオープン・ソースで提供しています。Mico32を使ったシステムの構築にはEclipseベースの開発ツールが提供されています<sup>注1</sup>。これらのツールを用いると、Lattice社のMico32向け評価ボード(写真1)向けの設計は特に容易になります。

また、Mico32にはこの評価ボード向けのサンプル回路を含んでおり、CPUコアを簡単に評価できます。本稿では、この評価ボードをターゲットとしてマルチプロセッサ・システムを構築します。

注1：Mico32を使ったシステムをLattice社のFPGAで構築する際に必要な設計ツールは、Lattice社のWebページ(<http://www.latticesemi.co.jp/>)から、無償でダウンロード可能。また、ソース・コードが提供されていることから、Lattice社から提供されているツールを利用しなくても、システム構築が可能である。

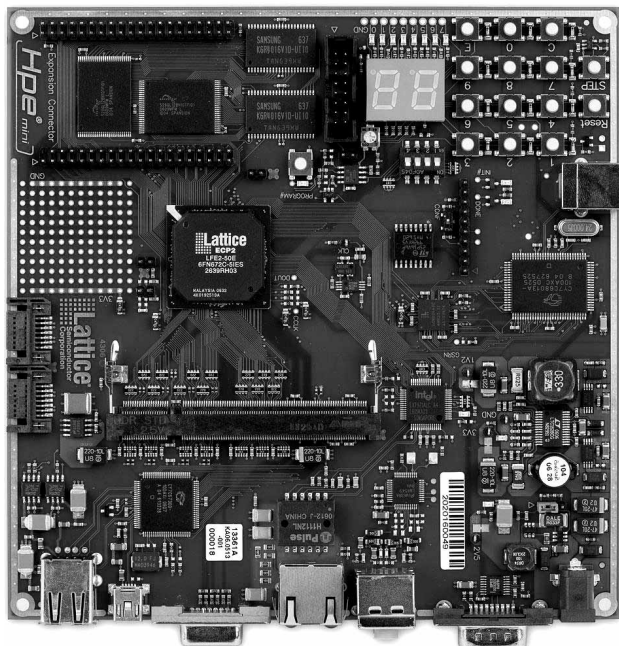


写真1 Mico32/DSP 評価ボード

FPGAとして、ECP2ファミリのLFE2-50E(約4.8万LUT規模)を搭載する。

### Keyword

ソフト・マクロ、CPUコア、LatticeMico32、マルチコア、ispLEVER、共有メモリ型マルチプロセッサ、WISHBONE、キャッシュ・メモリ

## 1. マルチプロセッサ環境の構築

### ● 1 プロセッサならFPGAのすき間に入る

はじめに図1に示すような、UART、外部SRAMインターフェース、内部メモリ・ブロック (EBR: Embedded Block RAM)、汎用I/O (GPIO)、タイマの機能を1個のMico32の周辺に配置したシステムについて評価しました。Mico32の命令キャッシュとデータ・キャッシュは有効にします。

Lattice社のFPGA開発ツールispLEVER starterと、Mico32システム・ツールを使い、EPC2ファミリのLFE2-50E (約4.8万LUT規模)向けに実装してみました注2。たったの8%の使用率で、さらに、107MHzで動作するという驚異的な性能を示しました。

このような背景から、Mico32プロセッサは理論的にはLFE-50Eに12個程度搭載できる計算になります。従って一つのFPGAの中に、マルチプロセッサ環境が構築できてしまうことになります。つまりマルチプロセッサ環境により、その処理を並列実行することによって高速化の可能性があるということが分かります。このような手法を使えるのであれば、開発時間が非常に限られている場合、できるだけ高速なシステムをソフトウェアで開発することが可能になります。

以上の展望から、本稿では、このマルチプロセッサ環境

Name	Connection	Base	End	Size(Bytes)	Lock	IRQ
Mico32						
Instruction Port	0					
Data port	1					
uart						
UART Port		0x80000080	0x800000FF	128	☑	1
sram						
ASRAM Port		0x10000000	0x100FFFFFF	1048576	☑	
ebr						
EBR Port		0x00000000	0x00004FFF	20480	☑	
epio						
GP I/O Port		0x80000100	0x8000017F	128	☑	
timer						
S Port		0x80000000	0x8000007F	128	☑	2

図1 評価用ハードウェアの構成

UART、外部SRAMインターフェース、内部メモリ・ブロック (EBR: Embedded Block RAM)、汎用I/O (GPIO)、タイマの機能をMico32の周辺に配置する。

を、高性能プロセッサコアであるMico32を用いて構築する方法と、回路規模と性能評価に関してレポートしていきます。

### ● 共有メモリ型マルチプロセッサ・システム

今回設計するシステムの全体構成を図2に示します。独立した複数のプロセッサが、それぞれのプロセッサ向けに書かれたソフトウェアを実行し、複数のデータを処理するMIMD (Multiple Instruction Stream Multiple Data Stream) 型の構成を採ります (p.62のコラム「MIMDとSIMD」を参照)。

このソフトウェアはif文などでプロセッサ番号に応じた処理をするように記述された命令列です。実際のところ、一つのmain関数をすべてのプロセッサ・コアが共有します。しかし、各プロセッサの番号により、異なる処理を行

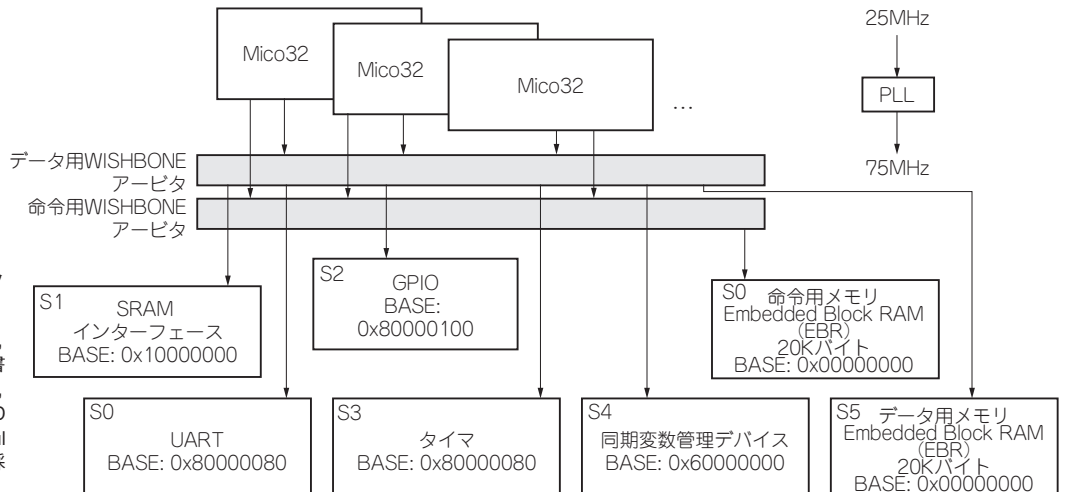


図2 共有メモリ型マルチプロセッサ・システム

独立した複数のプロセッサが、それぞれのプロセッサ向けに書かれたソフトウェアを実行し、複数のデータを処理するMIMD (Multiple Instruction Stream Multiple Data Stream) 型の構成を採る。内部接続は共有バス。

注2: プロジェクト・データ (Mico32TestPlatform2) は、本誌Webページ (<http://www.cqpub.co.jp/dwm/>) からダウンロード可能。