

SYNOPSIS

Physical Synthesis Solution

2001 Sept.

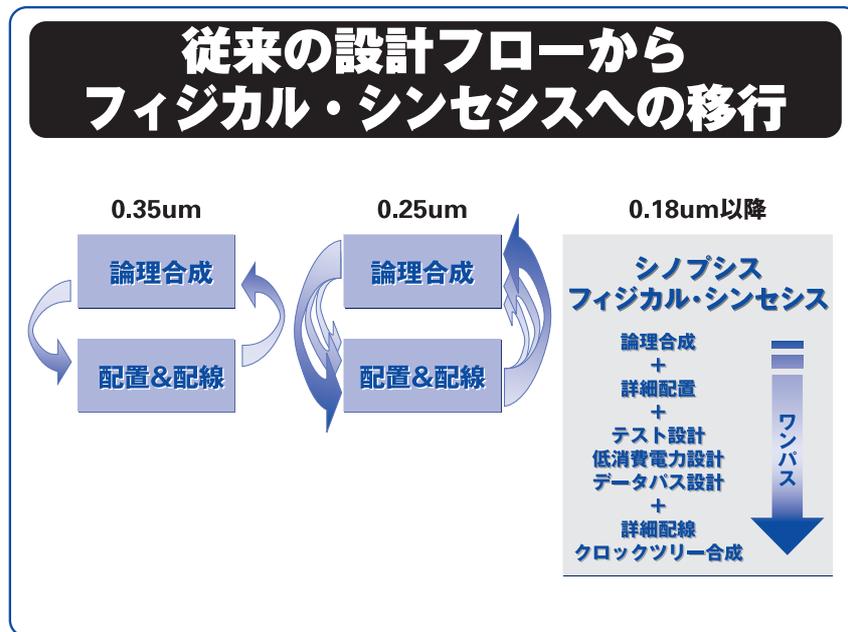
SYNOPTIS[®]

従来の設計フローから フィジカルシンセシスへ

0.25 μm 以下のプロセス・テクノロジーを用いた大規模チップの設計開発において最重要課題となっているのがタイミング・クロージャ－の問題です。

シノプシスは、従来からこの問題を解決できる革新的な次世代設計フローを、設計者の皆様に順次ご提供していくと申し上げて参りました。すなわち、論理設計終了後に配置・配線を実行していく従来の設計フローから、実配線を考慮した詳細配置情報に基づいて論理設計を施した上で詳細配線を実行していく新しいフローへの移行です。

シノプシスは、これをフィジカル・シンセシス・ソリューションと呼んでおります。



高い注目を集めるシノプシス・フィジカル・シンセシス

1999年1月のデザイン・プランニング・ツール Chip Architectの発表を皮切りに、トップレベル配線ツールFlexRoute、論理合成/自動配置統合ツールPhysical Compilerなど、その中核をなすツール群を次々とリリースし、この2年間でシノプシスはフィジカル・シンセシス・ソリューションを着実に進化させて参りました。また、2001年6月にはフィジカル・シンセシスのコアであるPhysical Compilerに統合された2つの高性能ツール、スタンダード・セル配線ツールRoute Compilerとクロック・ツリー・シンセシス・ツールClock Tree Compilerを発表、RTLからGDS IIまでのフローを完成させました。このフローでは、シグナル・インテグリティ解析ツールPrimeTime-SIのテクノロジーと共通のクロストーク解析エンジンを使用し、フロー全体を通して、シグナル・インテグリティの問題を防止、解析、修正することができるようになりました。

他のEDA企業からも、いくつかのソリューションが発表されていますが、設計者の皆様からは

「それらの新しい設計フローで開発した実際のチップはあるのか」との疑問のお声が上がっていました。ご注目いただきたいのは、この次世代ソリューションを掲げた数社の中でもシノプシスのフィジカル・シンセシス・ソリューションだけが、その発表当初からMatrox社やnVIDIA社を始めとするテープアウト実績を持っていたという点です。

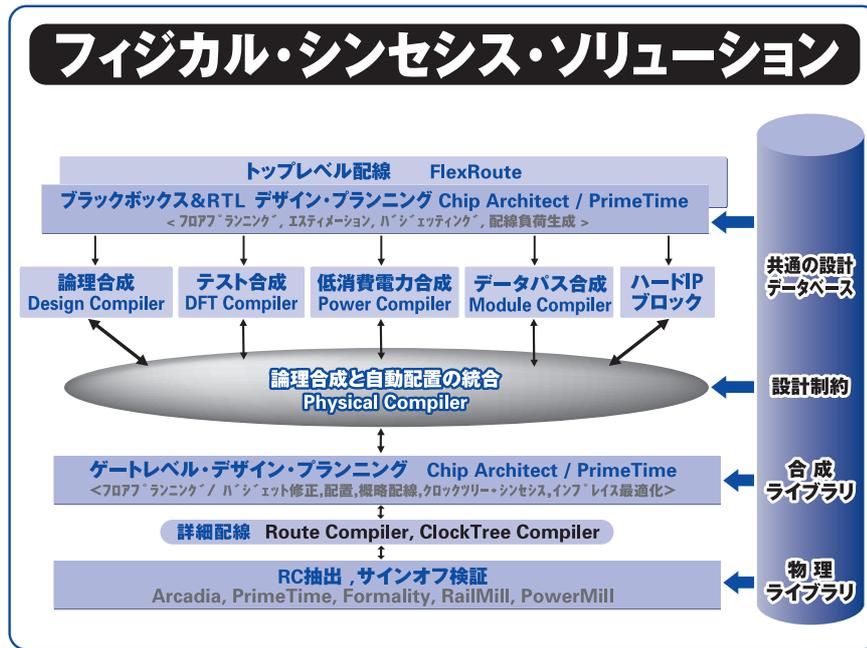
フィジカル・シンセシス・ソリューションは、その後、設計者の皆様の間で急速に浸透し、シノプシスの会計年度2000年におけるフィジカル・シンセシス・ビジネスは、期中に上方修正した目標をはるかに超え、5700万ドルの受注金額を達成、現在では170以上のテープアウトを実現しています。今期は、それをはるかに上回る1億2500万ドルの受注と500のテープアウト、そして200社の導入を目標にしています。

また、Physical Compilerは、LSIデザイン・オブ・ザ・イヤーの設計環境/開発ツール部門においてグランプリを受賞しております。

フィジカル・シンセシス・ソリューション

フィジカル・シンセシス設計フロー

シノプシスのフィジカル・シンセシスは、RTLからGDSIIまでをフルカバーし、高性能なSoCを実現するトータルソリューションです。



まず最初にChip Architectでタイミングの収束性の予測、内部配線遅延の見積もりを行いながら、メモリーやアナログブロックといったハードIPも含めたチップレベルの最適なフロアプランを行います。その後スタティックタイミング解析サインオフ・ツールPrimeTimeのデザインバジェット機能を使用して、チップ全体を考慮しながら各ブロックの最適なタイミング制約を生成します。またブロック間配線はブロック内部の配線に比べて非常に長くなるため、その接続遅延はブロックレベルの合成制約条件に大きな影響を与える事になります。そこでFlexRouteを使用して、シグナル・インテグリティを考慮したトップレベルのブロック間配線を短期間で実現します。次にブロックレベルの合成ですが、PrimeTimeのデザインバジェット機能で生成した各ブロックレベルのタイミング制約に基づき、Design CompilerやPhysical Compilerを使用して各ブロックの最適化を行います。そして最適化した設計情報をChip Architectへフィードバックし、フルチップのアッセンブリを実行します。その後はRoute Compilerが、短いネットで起きるホット・スポットを最小限に抑える革新的なグローバル配線エンジンを用いて、グローバル配線実行中に短いネットの詳細配線を行い、タイミングとシグナル・インテグリティに

基づいたスタンダード・セル配線を実行します。クロック・ツリー・タイミングの問題を解決するClockTree Compilerを用いることにより、従来のクロック・ツリー生成ツールと比較して、挿入遅延を5~20%、クロック・スキューを5~10%改善することができます。

フィジカル・シンセシスの中核をなすPhysical Compilerは、Design Compilerで使用しているRTLソース、タイミング制約、合成ライブラリおよび、標準的なLEF, DEFで提供される物理制約と物理ライブラリを読み込むことにより、最適な配置結果とネットリストを得ることができます。そのため、Design Compilerユーザであれば無理なくPhysical Compilerを導入できるのが特長です。また、Route Compiler、ClockTree Compilerは、Physical Compilerと同じ環境とデータベースを共有し、密接に統合されているため、お客様のフィジカル・シンセシス設計フローへの導入も容易です。

シノプシスでは、この設計フローをさらに強化するため、昨年12月にPhysical Compilerのバージョン2.0を発表しました。バージョン2.0では、テスト設計、低消費電力設計、データベース設計機能を統合、設計品質のさらなる向上を実現しています。

Physical Compiler2.0最新情報

重要な設計機能を統合

テスト・インサクション&スキャン・オーダリング：

ワンパス・テスト合成ツールDFT Compilerとの統合によって、手間のかかるスクリプトやデータ変換を伴わずに、物理的な配置情報に基づいたスキャンDFTの最適化ができるようになりました。配線の密集や物理情報を考慮しないで行ったDFTによって発生するタイミング違反などの危険性の回避に大きな威力を発揮します。

消費電力最適化&クロック・ゲーティング・セル自動配置：

消費電力最適化ツールPower Compilerとも完全に統合。レジスタのゲート化を考慮して、クロック・スキューの最小化と、より良いタイミング結果達成を両立させる、業界初の的確なクロック・ゲーティング・セル自動配置機能を提供し、最小の消費電力で最高のタイミング

結果を実現しました。ブロックレベルで30~60%、チップレベルでは20~40%の消費電力を削減します。

データバス・ロジックの合成と配置：

データバス合成ツールModule Compilerが提供する新機能MCフィジカル・テクノロジーにより、Module Compilerで定義したデータバス設計の合成と配置を1つの設計フローに統合、MCLで定義されたデータバス回路に関する配置情報が自動的に生成され、また保持されるため、タイミングと面積の更なる改善を実現できます。インスタンス化されたセルの物理的なグループ化とゲートレベルのタイリング定義や、構造化されたデータバス配置部分とランダム・ロジック部分の共通のフロアプランの中での混在管理もできます。

結果品質の更なる向上

クリティカル・パス・タイミングの向上：

平均10%

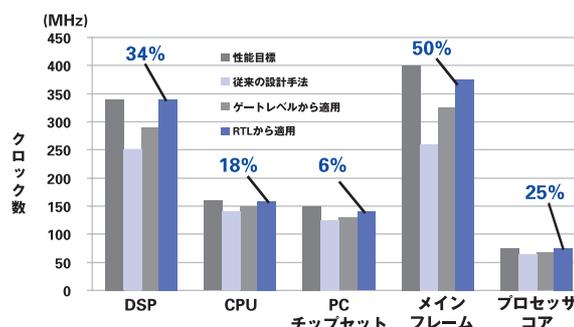
トータル・ネガティブ・スラックの削減：

平均50%

RTLからゲート配置までのメソドロジーを強化：

タイミングクロージャ解決にあたって従来手法が犯していた最も根本的な過ちは、ゲートレベル以降の段階に至ってから、ネットリスト修正、配置/配線、IPOを繰り返すことで解決を図ろうとしていた点にあります。現在のチップ大規模化、高性能化によってもたらされているタイミングクロージャの破綻要因は、それらのテクニックを少々新しいテクノロジーで向上させたところで解決できる問題ではないのです。多くのEDAベンダが唱える新手法なるものには、未だにこの従来手法をベースにしたテクノロジーの改善にこだわったもの、即ち従来手法の延長線上で事態を解決しようとしているものが少なくありません。

Physical Compiler RTLからの適用で最高性能を実現



これに対しPhysical Compilerは、ゲートレベル以降の設計フローで使用するよりも、ゲートレベル以前のRTLからゲート配置までの設計フローに用いることによって、最適なソリューションを実現しています。RTLの方がゲートレベルよりも設計自由度が高く、シノプシスの全ての合成・最適化テクニックをフル活用することができるため、より高性能な回路を迅速に仕上げていくことができるからです。

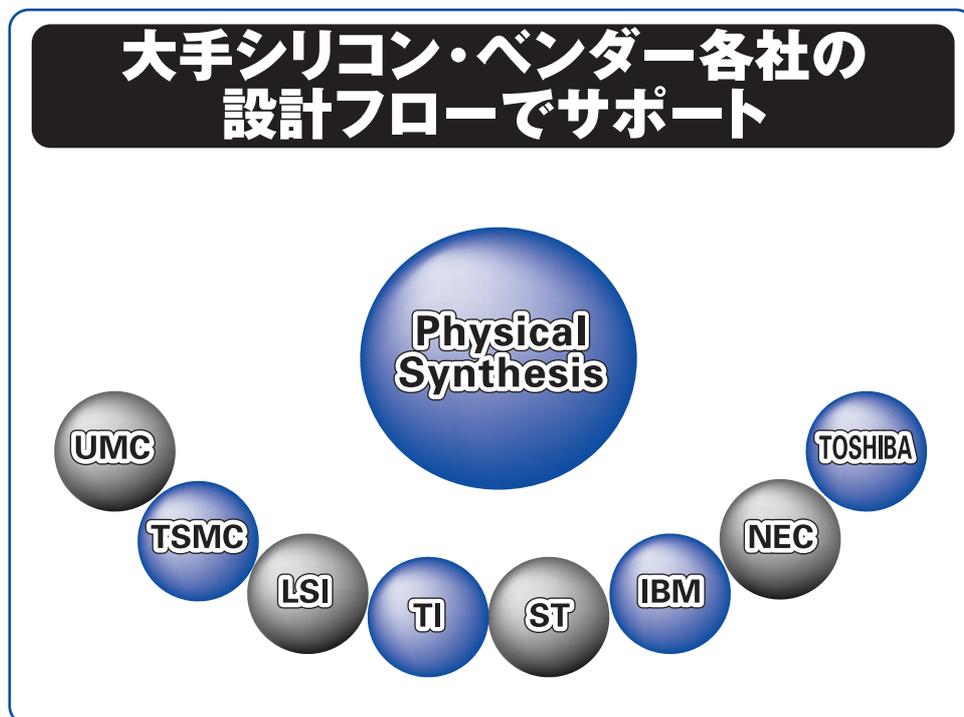
上のグラフからも解りますように、性能目標にミートしない従来の設計手法に対し、ゲートレベルでPhysical Compilerを用いても性能は格段に向上いたしますが、これをRTLから適用すると更に大幅な性能向上を達成できており、性能目標達成に非常に貢献している事が解ります。従来手法と比較しますと、コンピューター用の設計では50%もの性能向上が見られます。

大手シリコン・ベンダ各社の 設計フローでサポート

シリコン・ベンダ各社様の設計フローでのフィジカル・シンセシスのサポートも強力です。

株式会社東芝、日本電気株式会社、IBM社、STMicroelectronics社、Texas Instruments社、LSI Logic社、TSMC社、UMC社といった大手シリコン・ベンダ様でシノプシスのフィジカル・シンセシス設計フローは採用されています。

また、株式会社日立製作所、SGI社といった有力企業ともPhysical Compilerを用いたタイミング収束フローの構築で提携。ARM社も、同社のIPタイミング収束ツールとしてPhysical Compilerを標準ツールに採用しています。

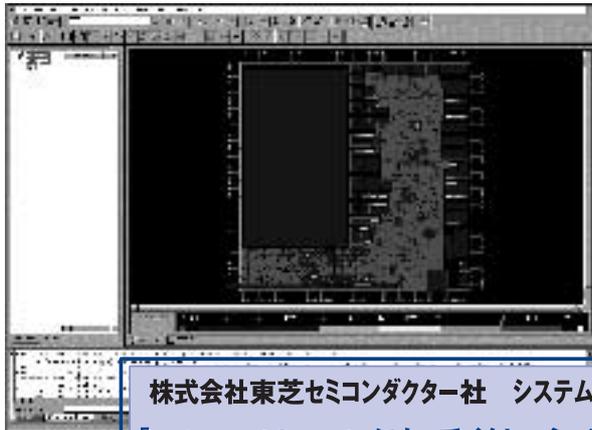


170以上の テープアウト実績

東芝様 Physical Compilerテープアウト事例

株式会社東芝セミコンダクター社 システムLSI開発センター様のテープアウト事例をご紹介します。

東芝様 Physical Compilerテープアウト事例 T3 (MPEG4 Video & Audio Codec)



- TC260C(0.18 μ m)
- 4層配線
- DRAM混載
- 12ns@Worst Case
- 約160kインスタンス

TOSHIBA

株式会社東芝セミコンダクター社 システムLSI開発センター様

「…Physical Compilerによってイタレーションを排除し、大幅なTAT削減が実現できます。使ってみたらとにかくすごかった…」

東芝様がPhysical Compilerを採用された動機：

0.25 μ m プロセスを使用した1つ前の世代のMPEG4 Codec T2を開発した際の論理合成のインプレイス・オブティマイゼーションと配置・配線ツールのイタレーションに費やした時間と人員を、今回のプロジェクトでは大幅に短縮する必要がありました。

従来手法の問題点：

従来手法では仮想配線負荷モデルに対して実配線負荷が数十倍にもなるネットが多くあり、これらがタイミングの取束性を悪化させただけでなく、インプレイス・オブティマイゼーションと配置・配線ツールのイタレーションによりセル面積の増加、さらにはダイサイズの変更まで余儀なくされるケースもありました。今回のT3プロジェクトに使用する0.18 μ m プロセス・テクノロジーでは、このような問題はさらに顕著になると懸念されていました。

Physical Compilerを用いた結果：

T3プロジェクトでPhysical Compilerを使用した結果、Physical Compilerによるタイミングの見積もりと実際の詳細配線後のタイミング解析結果の相関性は極めて高く、Physical Compilerと配線ツールの無意味なイタレーションが無くなっただけでなく、不用意にセル面積が増加することはありませんでした。

「仮想配線モデルとゲート・ネットリストをインターフェイスとした従来の分業システムは限界にきています。Physical Compilerによってイタレーションを排除し、大幅なTAT削減が実現できます。使ってみたらとにかくすごかったというのが感想です。」

株式会社東芝セミコンダクター社
システムLSI開発センター様

このように今回のプロジェクトでPhysical Compilerは東芝様の期待通りに成果を出し、既に2品種をテープアウトしています。

また、今後は100万ゲート以上の品種に対してChip Architectと組み合わせて使用されていくなど、適用品種をさらに増やされていく予定です。

数々のテープアウト実績

東芝様のテープアウト事例のように、シノプシスのフィジカル・シンセシスは着々とお客様に導入され、数々のテープアウトを生み出しています。日本国内でも株式会社東芝様、松下電器産業株式会社様、日本電気株式会社様、株式会社日立製作所様、沖電気工業株式会社様、ソニー株式会社様、三洋電機株式会社様、株式会社PFU様、凸版印刷株式会社様をはじめとする、主な半導体ベンダ、システム・メーカー、デザイン・センター各社にて導入済みです。また、ワールドワイドでは、半導体企業上位15社のうちの12社、コミュニケーション関連企業上位10社のうちの9社、ワイヤレス半導体企業上位10社のうちの8社といった、トップクラスの企業がフィジカル・シンセシスを既に導入済みです。

TOSHIBA

「我々の0.18 μ mテクノロジーを採用した業界最先端ASSPには、仮想配線モデルベースの設計フローは通用しないと感じていました。Physical Compilerにより、ワンパスでタイミング収束が実現でき、短期間で最先端携帯機器向けLSIを開発しました。今後も、Physical CompilerのDFT機能などを使用し、より高度なLSI開発を行います。」

株式会社 東芝セミコンダクタ社
システムLSI開発センター デジタルメディアLSI技術開発 部長 古山 透氏

TOPPAN

「豊富なインターフェースを持つPhysical Compilerは、弊社の設計環境と見事に融合し設計能力を大幅に引き上げてくれました。既存のバックエンド・ツールとのイタレーションを殆ど必要としない実配線負荷ベースの設計手法を確立し、Physical Compiler導入後6ヶ月間に10製品のテープアウトに成功。納期と品質でお客様からも大変喜ばれています。」

株式会社 トップラン・テクニカル・デザインセンター
デバイス第一部 課長 大平 勉氏

NEC

「Physical Compilerは、NECの0.18 μ m以下のテクノロジー対応ASIC・ASSP設計フローに必須のツールです。Physical Compilerで作成された配置済みネットリストを当社に渡すことにより、お客様は従来の手法に比べ非常に短いTATを実感されています。また、最近シノプシスと共にPhysical CompilerとChip Architectを使用した階層デザインフローを開発し、ワールドワイドで幾つかのプロジェクトに採用しています。」

日本電気株式会社 NECエレクトロニクスデバイス
システムLSI設計技術本部 統括マネージャー 藤波 義忠氏

「当社は、CPUコアの設計にPhysical Compilerを使用し、1パスでタイミング収束を実現しました。また、Physical Compilerは、低消費電力最適化ツールPower Compilerやテスト容易化設計ツールDFT Compilerを統合したシームレスな設計フローを提供しており、設計期間を4週間も短縮することができました。当社は今後も、Physical Compilerを自社の設計プロジェクトに使用する予定です。」

日本電気株式会社 NECエレクトロニクスデバイス
システムULSI開発本部 モバイルコア開発グループ 岸部 浩司氏

Panasonic

「0.18 μ m以下の微細プロセスでの大規模高性能システムLSIを、RTL設計から物理設計まで一貫して開発する為に、Physical CompilerとChip Architectを松下既存の高性能設計フローに統合しました。既に複数のマルチメディアLSIをテープアウト。RTLと物理設計をシームレスに結合し、システム設計者/お客様にとって価値ある開発TAT短縮と性能向上を実現しています。」

松下電器産業株式会社 半導体社
開発本部 システムLSI技術統括部 EDAチームリーダー 田口 浩文氏

SANYO

「テスト容易化設計などの実際の設計インプリメンテーションに必要な機能をタイミング収束の過程で実現できる実用的なソリューションはPhysical Compilerだけです。我々はPhysical Compilerを使用してから6ヵ月以内で4つのテープアウトに成功し、かつタイミング収束に要する期間を平均2週間も短縮しました。さらに最大20%もの面積縮小も達成しました。今後はPhysical Compiler環境下での低消費電力最適化機能も活用します。」

三洋電機株式会社 セミコンダクターカンパニー
システムLSI事業部 設計技術部 主任技術員 山村 和弥氏

TEXAS INSTRUMENTS

「Physical Compilerは、当社の世界中のDSPおよびワイヤレス設計者に、標準設計ツールとして急速に浸透しています。フィジカル・シンセシスにおけるテスト設計、低消費電力設計およびデータバス設計機能の統合は、私どもにとって絶対条件です。これらの機能は、ますます複雑になっていくワイヤレス通信や大規模な市場を持つコンピューター関連機器向け組み込みMCUやDSPコアの設計に威力を発揮するでしょう。」

Texas Instruments社 DSP ベース設計
ワールドワイドEDAサポート・マネージャー Mike Fazeli氏

CRAY

「私たちは、Physical Compilerをゲートレベルで使用して、既にあるチップのテープアウトに成功していました。今回は、0.12 μ mプロセス・テクノロジー、動作速度450MHzのコンピュータ・チップの設計において、RTLからゲート配置までの設計フローでPhysical Compilerを試してみたところ、ゲートレベルで使用した場合よりも、いくつかのブロックで15%もの性能改善を実現しました。」

Cray社 上級設計技師 Chris Gorzek氏

数々のテープアウト実績



「シノプシスのデザイン・プランニング・ツール Chip Architectとトップレベル配線ツールFlexRouteは、階層設計管理とブロック間配線において、私たちが目指していた理想的な設計結果を実現してくれました。」

Nexsi社 技術担当副社長 Nazar Zaidi氏



「私たちは、Physical Compilerを利用することにより、新製品のグラフィックス・チップを予定より4週間も早く完成させることに成功しました。競争の激しいIC市場での4週間とは、競争力のある製品を提供できるか、あるいは市場にまったく食い込めないか、といった歴然とした違いをもたらします。Physical Compilerは優れた結果予測性をもたらした上、私たちの期待を大きく上回り、容易に我が社の設計フローに組み込むことができました。そしてPhysical Compilerは配置結果の優れた予測性を提供してくれたのです。すでに当社では、Design Compilerライセンスの50%をPhysical Compilerライセンスにアップグレードし、すべてのデザインセンターにPhysical Compilerを導入している最中です。」

Matrox Electronic Systems社
グラフィックスASIC部門担当副社長 Jean-Jacques Ostiguy氏



「このテープアウトは、タイミング収束が最も困難なディープサブミクロン設計において、結果予測性の高いワンパス・タイミング収束テクノロジーをお客様にご提供することを目的とした、シノプシスとのパートナーシップの成果です。シノプシスのツール群の性能は、かねてから実証されておりましたから、今回Physical Compilerがこのような複雑な設計において素晴らしい結果を出しても、驚くことはありませんでした。設計者は強力なフィジカル・シンセシスツール群が「結果予測性の高い設計結果」をもたらしてくれることを期待しており、Physical Compilerはまさにそれを提供してくれました。」

STMicroelectronics 社
Central R&D グループ副社長 Philippe Magarshack氏

「当社は、Design Compiler、PrimeTime、Arcadiaといったシノプシスのフィジカル・シンセシス・ツール群を非常に活用しています。シノプシスのフィジカル・シンセシス・ツール群は完全に統合されているため、Physical Compilerも当社の設計フローに容易にプラグ・インすることができました。我々は、Physical Compilerを使用し始めて1週間とかからず、生産性の向上を実感しました。最終的には、設計期間を約4週間から2日間に短縮し、11ものRAMを含み、動作周波数150MHzクロックという高性能かつ非常に複雑な設計で、ワンパス・タイミング収束を達成することができました。」

STMicroelectronics 社
Central R&D CAD ディレクタ Jean Pierre Geronimi氏



「私たちは、Physical Compilerを使用し、GeFORCEチップの次世代バージョンをテープアウトしました。Physical Compilerを使用することにより、設計期間を3~4週間も短縮することができました。さらには、最小限の反復で、タイミングを実現するという、素晴らしい結果を得ました。それは従来数週間を費やして配置配線作業を何十回も反復することによって得られた結果をたった数日で上回るという素晴らしい成果でした。今では、Physical Compilerを我々の設計フローの重要なコンポーネントとして考えています。」

NVIDIA社 エンジニアリング部門担当副社長 Chris Malachowsky氏



We eat, sleep and drink this stuff.

「タイミング収束は、最重要課題です。Physical Compilerを用いることにより、非常に複雑な設計において数週間費やしていた、手作業による論理設計とレイアウト設計の反復作業を削減することができました。また、シノプシスのDesign CompilerやASICベンダが提供しているバックエンド・ツール群を含む、我々の標準ASIC設計フローにPhysical Compilerをスムーズに統合することができました。」

Unisys社システムおよびテクノロジー事業部
技術部長 Wayne Engstrom氏



Innovating the HP Way

「Physical Compilerを用いて、これらの複雑な設計で成功を収めたことにより、私どもネットワーク&コンピュータASIC設計センターは、シノプシスのフィジカル・シンセシス・ソリューションを、今後のチップ設計の標準ツールとして採用することにしました。これにより、我々は次世代の高性能・数百万トランジスタ規模ICに対する、お客様からの非常に高い期待にお応えすることができます。」

アジレント・テクノロジー社高性能VLSIデザイン・オートメーション・グループ
マネージャ Richard Nash氏



「私たちが現在使用しているスタンダードセル配線ツールでは、満足のいくトップレベルの配線ができません。シノプシスのFlexRouteは、複雑な階層設計でキーとなるトップレベル配線固有の問題を解決できる唯一のツールです。」

富士通アメリカ社 ASICデザイン・センター
ディレクター Kaushik Banerjee氏