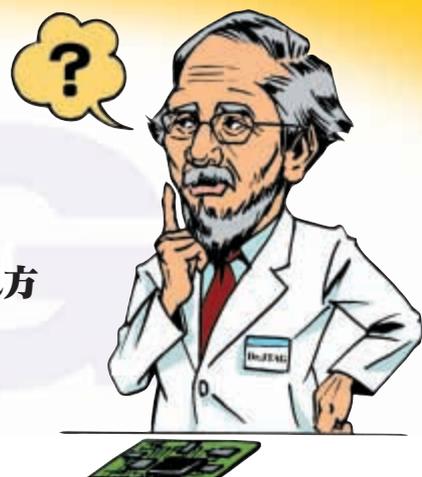


第1章 JTAGとは何か

IEEE 1149.1で標準化された内容と使われ方

宇賀神 孝



JTAGは、国際標準規格IEEE 1149.1として普及している。その対応デバイスの種類が、急激に増えている。JTAGは、機能の名称ではなく、この規格化作業を推進したグループの名称である。機能の名称は「バウンダリ・スキャン」である。IEEEの標準では、バウンダリ・スキャン・アーキテクチャとそれにアクセスするためのシリアル・ポート(通称JTAGポート)が規格化されている。このJTAGポートは、本来、ボード・テスト用に考案されたものであるが、その機能的特徴から、ICの内部テスト、PLDのISP、CPUのソフトウェア・デバッグ用途にも使える。現状では、ボード・テスト以外の用途で使われることも多いのである。(編集部)

outline package)などの表面実装周辺端子型のパッケージが実用化され、ピン間が狭くなるのに伴って、従来のプローブ方式に限界が見えてきました。つまりテスト・プローブの直径がパッケージのピン間隙の微小化に追従できなくなってきたのです。

この状況をいち早く察知し、新しいボード・テスト方式の実現を検討するグループが1985年にヨーロッパで発足しました。そのグループ名がJETAG (Joint European Test Action Group)でした。その当時のヨーロッパの先端企業であるPhilips社(オランダ)、British Telecom社(イギリス)、Ericsson社(スウェーデン)、Siemens社(ドイツ)およびThomson-CSF社(フランス)などが参画していました。

1986年には、Texas Instruments社やIBM社、AT&T社 およびDigital Equipment社などの北米企業が加わり、発展的に“European”を削除してJTAG (Joint Test Action Group)に改称しました。1987年にはDOD(米国防総省)のVHSIC (Very High Speed Integration Circuit)プロジェクトの賛同を得て、JTAG version 1.0が発表されます。

1988年にはJTAG version 2.0となり、それがIEEEのTestability Bus Standard Committeeに提案され、1990年2月15日にIEEE std 1149.1として承認されました。

1. JTAGの概要と動向

■ JTAGの生い立ち

JTAGは、製品化時のボード・テストのために、IC側で遵守すべき標準規格です。多くのICが搭載されたボードの良否を判定するのは、一見容易そうですが簡単ではありません。TTLに代表されるDIP (dual inline package) 全盛時代には、ボードに挿入実装されている端子ないシラウンドに金属製のプローブを接触させ、テスト信号を与える従来のインサーキット・テスト方式でテストが可能でした。ところが、1980年代に入り、QFP (quad flat package) やSOP (small

■ JTAGは何を目指したか

JTAGメンバが新しいテスト方法を検討するための前提条件としたのは次の点です。

- (1) テスト準備時間をできるだけ短くする
- (2) 故障カバレッジをできるだけ広くとる
- (3) 故障診断時間をできるだけ短くする
- (4) 故障解析精度をできるだけ上げる
- (5) 資本投資額をできるだけ小さくする

これらの条件を満たす新しいテスト方式がJTAGで提案されたわけです。その内容は、前述のようにIEEE std 1149.1 “Test Access Port and Boundary-Scan Architecture”として公開されています(日本規格協会で入手可能)。タイトルを見ればわかるように、この標準規格の内容を表す 키워



[写真1] バウンダリ・スキャンの標準IEEE 1149.1の規格書

ードは“バウンダリ・スキャン”です。最近では、これを推進したグループ名のJTAGのほうがバウンダリ・スキャン・テストの代名詞となっています。そこで、一般的な慣例にしたがって、本稿ではメカニズムを表す場合に「バウンダリ・スキャン」と呼ぶことにし、一般的な用語としては「JTAG」を用いることにします。

1.2 JTAGデバイスの仕組みと動作

■バウンダリ・スキャンのための仕組み

JTAGテストの仕組みを見ていきます。前述のように、バウンダリ・スキャンによるボード・テストのメカニズムは、まずデバイス内部に用意されます。

図1に示すように、本来のコア・ロジックと各ピンの間にテスト・プローブと等価な働きをするセルと呼ばれるレジスタを配置し、これを結合してシフト・レジスタを構成、このシフト・レジスタを制御することにより、テスト・コードの入力とこれに対する応答によりテストを実行していきます。このように、デバイス内部の境界をテスト・コードがスキャンニングすることから、バウンダリ・スキャン・アーキテクチャと呼ばれます。

■JTAGデバイスのアーキテクチャ

バウンダリ・スキャンの機能を組み込んだデバイスをJTAGデバイスとよびます。このJTAGデバイスの基本アーキテクチャを図2に示します。JTAGに対応したデバイスには、本来のコア・ロジックのほかに、テスト機能を実現するための専用の簡易マイクロプロセッサが組み込まれていると考えるとわかりやすいでしょう。

JTAGデバイスは、TAP(Test Access Port)と呼ばれるTDI, TDO, TMS, TCKおよびTRST(このみオプション)の5本の端子をもち、そこからデバイスに組み込まれたテスト回路にアクセスできます。

TDI(Test Data Input)ピンは、シリアルなテスト・データパスであり、ここからデータあるいは命令が入力され、それぞれデータ・レジスタ、命令レジスタに転送されます。

データ・レジスタには、

- ① コア・ロジックと入出力ピンの境界に配置されるバウンダリ・スキャン・レジスタ (BSR と略される)
- ② TDIから入力されるデータをTDO (Test Data Output) ピンへバイパスさせる経路であるバイパス・レジスタ
- ③ その他のデータ・レジスタ

から構成されます。その他のデータ・レジスタはオプションであり、たとえばデバイスおよび製造メーカを識別するためのIDcodeレジスタなどがあります。

TDIから入力されたデータが命令コードであれば、命令レジスタに格納されます。デコードされた結果として内部制御信号が生成されてデータ・レジスタを選択・制御します。

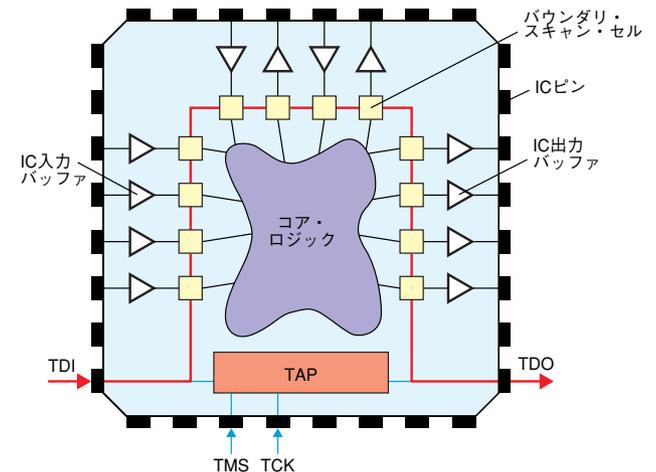
TAP (Test Access Port) コントローラは、16種のステートをもつステートマシンであり、TMS (Test Mode Select) 信号およびTCK (Test Clock) 信号により遷移して、データ・レジスタや命令レジスタおよびマルチプレクサなどを制御してJTAG機能を実現します。

TRST (Test Reset) 信号はTAPコントローラを初期化する信号でオプションです。TMSが“H”状態で、TCKの立ち上がりエッジを5回検出した場合もTAPコントローラが初期化されます。

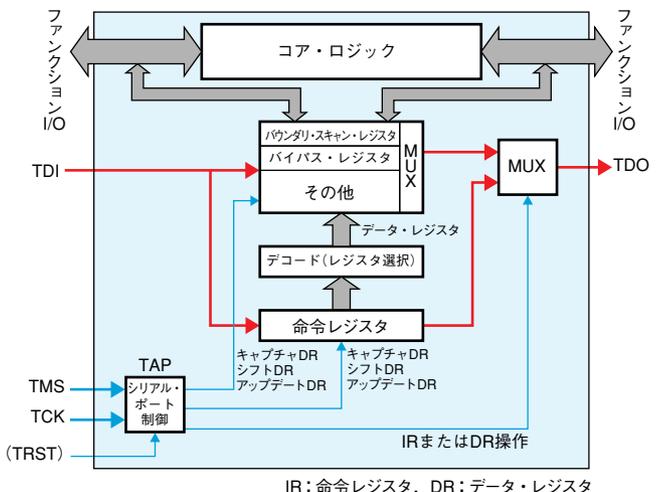
■JTAG命令セット

表1にJTAGデバイスのJTAG命令セットを示します。これを見てわかるように、JTAG命令は分類でき、わりとゆるやかな規定といえます。

パブリック命令は、IEEE 1149.1に規定されている命令で



〔図1〕バウンダリ・スキャン・アーキテクチャ



IR: 命令レジスタ, DR: データ・レジスタ

〔図2〕JTAGデバイス・アーキテクチャ