



ピン割り当ての変更に伴う影響をきちんと管理

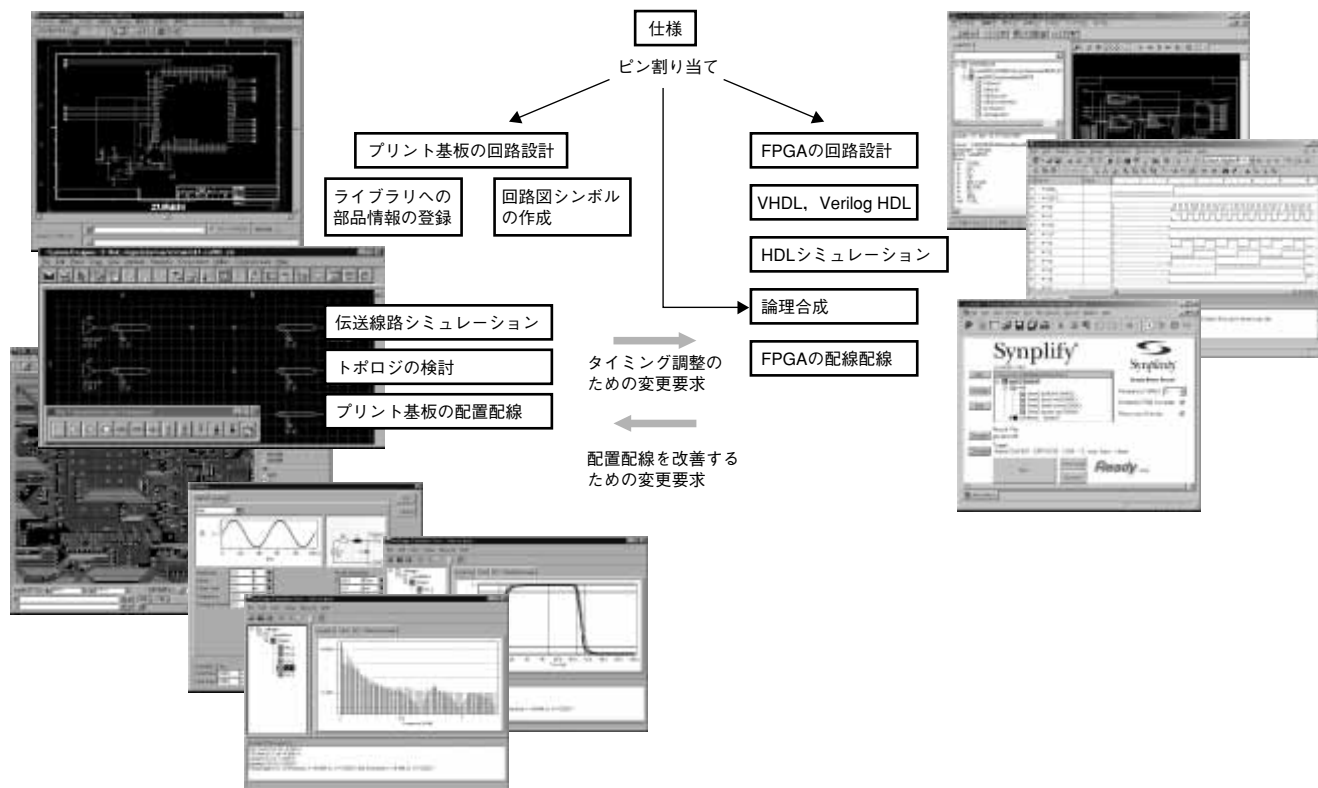
# 二つの設計フローをつなぐ 「シンボル作成ツール」

荒川俊弥

FPGA (または Complex PLD) 設計とプリント基板設計を並行して進めていると、仕様変更やノイズ対策が原因で、FPGA の信号のピン割り当てが変わることがある。ピン割り当てが変更になると、FPGA 設計における論理合成や配置配線の制約ファイル、プリント基板設計の回路図や回路図シンボルなど、さまざまなデータの修正が必要になる。ここでは、こう

した作業の負担を軽減するシンボル作成ツールの概要を紹介する。  
(編集部)

FPGA (または Complex PLD) の設計入力の方法は、ゲート・レベルの回路図入力から RTL (register transfer



〔図1〕プリント基板設計とFPGA設計のフロー

プリント基板設計とFPGA設計にまたがる問題の一つとして、ピン割り当ての問題がある。例えば、プリント基板側はタイミング調整のためにピン割り当ての変更を要求する。一方、FPGA側は配置配線結果を改善するためにピン割り当ての変更を要求する。これらの整合性を取りながら、設計作業を進めていく必要がある。左側の画面は、図研の回路設計ツール「CR-5000 System Designer」、プリント基板設計ツール「同 Board Designer」、プリント基板設計用フロアプランナ/シグナル・インテグリティ解析ツール「Hot-Stage」。右側の画面は図研の「CR-5000 System Designer」、米国 Aldec 社の HDL シミュレータ「Active-HDL」、米国 Synplicity 社の論理合成ツール「Synplify」。

level)のHDL (hardware description language) 入力中心に移り変わりました。論理シミュレータや論理合成ツール、配置配線ツール(フィッパ)、およびこれらの統合ツールなどが提供されるようになり、設計環境としてはひと昔前と比べるとずいぶん充実しています。しかし、これらのツールはFPGA内部の回路の設計や実装(インプリメンテーション)を目的としているものがほとんどで、FPGA設計とプリント基板設計の間の整合性をどのように維持していくかというところまでは、十分にサポートできていないのが現状ではないかと思えます。

ここでは、FPGA設計とプリント基板設計の両方にまたがる問題として、回路図シンボル(以下、シンボル)の作成やピン割り当てについて考えてみたいと思います。

### ●プリント基板設計とFPGA設計のはざまには…

FPGAの回路設計を担当するエンジニアは、要求される機能仕様を満たす回路の設計や論理検証、デバッグ、配置配線(フィッティング)、タイミングの問題を解消するためのフロアプランの検討などを行います。一方、プリント基板の回路設計を担当するエンジニアは、FPGAの内部を除くシステム全体の回路を設計し、信号の品質(いわゆるシグナル・インテグリティ)を意識しながらプリント基板上のレイアウトや配線トポロジの検討を行います(図1)。

今日のEDAツール群は、それぞれのゴールに向けた機能については確かに充実しています。しかし、ユーザの声を聞いてみると、以下のような問題があるようです。

- 多ピンのシンボルの作成に手間がかかる
  - 設計途中で発生したピン割り当ての変更を、回路図やそのほかのデータに反映させるのに手間がかかる
- これらの問題は、設計業務全体から見ると非常にちっば

けな話のように思えます。また、回路設計の本質にかかわる議論でもありません。FPGA設計のフローとプリント基板設計のフローのはざまに存在する地味な話題です。ところが、実際には、こうした問題が意外と設計業務全体の足を引っ張っている面があるのです。その理由を次に説明します。

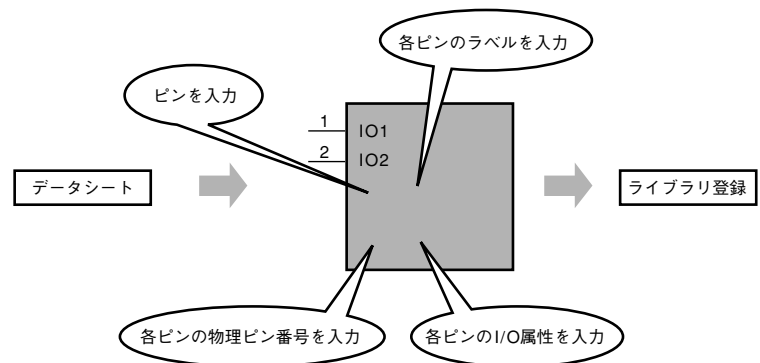
### ●多ピンが進み、シンボル作成の工数が増大

プリント基板の回路設計では、あらかじめライブラリにFPGA部品を登録しておく必要があります。FPGA部品はディスクリート部品やSSI (small scale IC)、MSI (midium scale IC) といった成熟した部品と異なり、新しい品種が続々登場しています。設計者がいざ新しいデバイスを選定して回路を設計しようとしても、シンボルや部品情報が登録されているとはかぎりません。自分で部品情報を登録するか、ライブラリ登録担当者に依頼する必要があります。

一般にシンボルの作成は、大きく分けて以下の三つの作業からなります。

- 1) 形状入力
- 2) ピン入力
- 3) 部品情報の属性値付加

ピン数が多いデバイスの場合、2)のピン入力に多くの時間を要することになります。ピン入力には、ピン自体の入力だけでなく、それぞれのピンの名称やI/O属性の定義も含まれます(図2)。よく利用されるFPGAのピン数は200ピン前後と言われています。ハイエンドのFPGAになると、500ピンを超えるものもあります。こうなるとピン入力の作業に半日以上を費やすことになります。そして、FPGAのピン数は年々増加し続けているのです。



〔図2〕各ピンに対して指定する情報

従来は、設計者やオペレータがデータシートを参照しながら回路図シンボルと部品情報をライブラリに登録していた。FPGAは設計ごとにピン割り当てが変わる。また、ピン数も年々増えている。すべてを手入力することは難しくなっている。