

FPGA/PLDの基礎知識

—— プログラマブル・デバイスのしくみと最新動向

末吉敏則

ここでは、プログラマブル・デバイスの世界を技術的視点で紹介する。PLD (programmable logic device) を初めて使う方のために、その歴史や最新動向を解説する。とくに、付属基板に搭載されているFPGA (field programmable gate array) に分類されるLSIの特徴について述べる。(編集部)

論理仕様を電氣的にプログラムすることによって、さまざまな論理回路を実現できるLSIを総称して「PLD (programmable logic device)」と呼びます(図1)。PLDはブランク・デバイス状態(プログラムされていない状態)でまとめて量産されるため、半導体メーカーからみると大量生産して在庫できる標準デバイスですが、ユーザの立場からは1個から手元でカスタム化できる簡便なASIC (application specific integrated circuit) とも見なせます。

1. FPGA/PLDの歴史と分類

PLDの歴史を表1に示します。歴史を知ることで、最新

のFPGAの特徴についても理解が深まります。

PLDが市場に現れてから、すでに四半世紀あまりが経過しました。PLDの「プログラム可能な論理回路」という基本機能は、当初は金属配線により実現させるマスク方式でした。その後、ユーザの手元でプログラムできる機能である“Field Programmable”の特徴が加わり、大きく発展したのです。

● SPLDが登場

1975年、米国Signetics社(現オランダPhilips Semiconductor社)からヒューズによってプログラム可能なFPLA (Field Programmable Logic Array) が発表されました。1978年には、ORアレイ固定型でバイポーラ素子を採用して高速性能を実現したPAL (Programmable Array Logic) が米国MMI (Monolithic Memories Inc.) から発表されました。1980年代に入ると、米国Lattice Semiconductor社が低

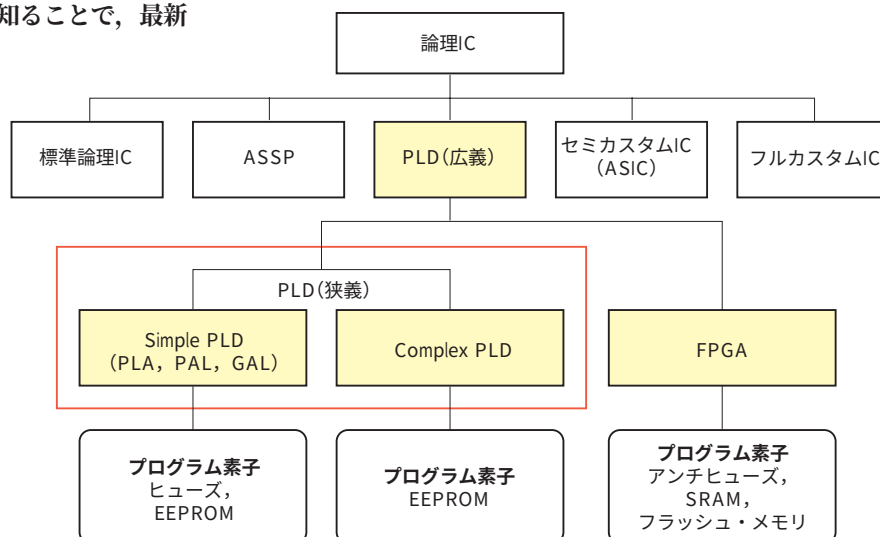


図1
デジタルICにおけるPLDとFPGAの位置づけ

PLDは、広義には論理仕様をプログラム可能なすべてのLSIを意味する。狭義にはプロダクト・ターム構造のプログラマブル・デバイス (Simple PLD, Complex PLD) を指す。プログラム素子は、ヒューズまたはEEPROMである。FPGAは、プログラマブル・デバイスの中で、LUT (look-up table) 構造のように小さな基本論理ブロックを用いたものである。プログラム素子は、アンチヒューズ、SRAM、フラッシュ・メモリである。



表1 FPGA/PLDの歴史⁽¹⁾

年 代	最大ゲート 規模数	代表的デバイス名	技術的特徴	代表的企業
1970年代前半	—	MOS Programmable Logic Array	PROMを用いたプログラム可能なランダム論理デバイス	米国Texas Instruments社
		FPLA (Field Programmable Logic Array)	ユーザの手元でプログラム可能なデバイス、ヒューズROMにより1回の書き込みが可能	米国Signetics社(現オランダPhilips Semiconductor社)
1970年代後半	数十〜100	PAL (Programmable Array Logic)	ORアレイ固定型により高速化	米国MMI(Monolithic Memories Inc.), 米国Vantis社を経て、現在は米国Lattice Semiconductor社の傘下)
1980年代	数百	GAL (Generic Array Logic)	CMOSを採用して低消費電力化、プログラム素子に電氣的書き込み可能なデバイスを採用	Lattice Semiconductor社
1990年代	数千〜数万	CPLD (complex programmable logic device)	複数のAND-ORブロックを有し、高密度化、大容量化、高速化を実現	米国Altera社
		FPGA (field programmable gate array)	基本論理ブロック、インターコネクト、I/Oセルをプログラマブルとした論理アレイの基本アーキテクチャ	米国Xilinx社
2000年代〜	数十万〜数百万	System on PLD時代の到来	プロセッサ・コアの搭載、IPコアの利用、環境の整備	Altera社, Lattice Semiconductor社, Xilinx社

表2
代表的プログラム素子の特性

プログラム素子	不揮発性	消去/ 再書き込み	面 積	ON抵抗	容 量	典型的な 基本論理ブロック
SRAM	×	○	大	中/大	大	LUT
アンチヒューズ	○	×	小	小	小	マルチプレクサ
EEPROM	○	○	小	大	大	PLDブロック

消費電力化のためにCMOS素子を採用し、プログラム素子には電氣的に消去/再書き込み可能なEEPROMを用いたGAL (Generic Array Logic)を発売しました。これら単一のAND-ORアレイ構造(プロダクト・ターム構造)を持つ比較的規模の小さいPLDは、「SPLD (Simple PLD)」と呼ばれています。

● より大規模に

集積回路技術の進歩に伴って、大規模なPLDが作れるようになりました。

1985年、米国Xilinx社は、SRAMベースのLUT (look-up table)に基づく基本論理ブロックをアレイ状に配した「FPGA (field programmable gate array)」を発売しました。一方、SPLDのAND-ORアレイ構造を複数個組み合わせた「CPLD (Complex PLD)」が、米国Altera社などから発表されました。現在のFPGA/CPLD時代の幕開けです。

1990年代の前半までは、CPLDがFPGAと並ぶ代表的な大規模PLDでした。しかし、1990年代後半にはSRAMベースのLUTに基づくFPGAの集積度や性能が急速に向上し、今や大規模PLDの主役はFPGAとなりつつあります。

● FPGA/PLDのプログラム素子

PLDのカスタム化を実現する代表的なプログラム素子と特性を表2に示します。

1) SRAM方式

SRAM方式は、MOSトランジスタにSRAMセルを付けて、その導通/不導通をセルの記憶内容によって切り替えるものです。SRAMは揮発性のため、電源をOFFにすると回路を構成する情報が失われてしまいます。そこで、電源投入時に外部から構成(コンフィグレーション)データを毎回ロードしなければなりません。逆に、書き換え可能ということは、ASICにない特徴といえます。書き換え回数にも制限がありません。製造技術については標準CMOSプロセスを採用でき、高集積化に向いています。

2) アンチヒューズ方式

FPGA固有のテクノロジーとしてアンチヒューズ方式があります。プログラム前は絶縁状態で、プログラム後は導通状態になるスイッチによって回路を構成します。一般的な合金ヒューズの逆の特性になることから、アンチヒューズと呼ばれています。アンチヒューズ方式は1回のみのプログラム方式で、不揮発性です。ON抵抗が小さく高速回路