

Spartan-3ファミリの機能

基本論理ブロックとメモリ，乗算器，クロック管理機能

近藤 渉

ここでは，付属FPGA基板に実装されているFPGA「Spartan-3ファミリ」の特徴について解説する。Spartan-3ファミリは，基本論理ブロック，I/Oブロックのほか，メモリ・ブロック，乗算器ブロック，クロック管理ブロックなどを持つ。それぞれのブロックの特徴や使いかたを説明する。（編集部）

米国Xilinx社の「Spartan-3」ファミリは，コストを重視する民生機器のような量産製品に対応するために開発されたFPGA (field programmable gate array) です。表1に示すように，8種類の製品で構成されています。

システム・ゲート数は5万～500万ゲートです。論理回路ブロックのほか，メモリ・ブロック，DLL (delay locked loop) を含んだDCM (Digital Clock Management) と呼ばれるクロック管理ブロック，乗算器ブロックを持ちます。また，さまざまなI/O規格に対応しています。これらの機能を活用することで，ボード・レベルのコスト削減が可能になります。

本稿では，Spartan-3が持つ機能とその使いかたについて解説します。

1. Spartan-3のアーキテクチャ

Spartan-3ファミリは，90nmプロセス技術と300mmウェハによって製造され，図1に示すように，おもに以下の五つの基本的な機能から構成されています。

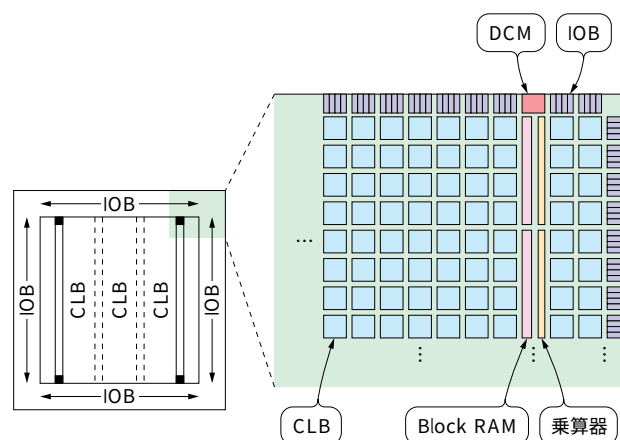


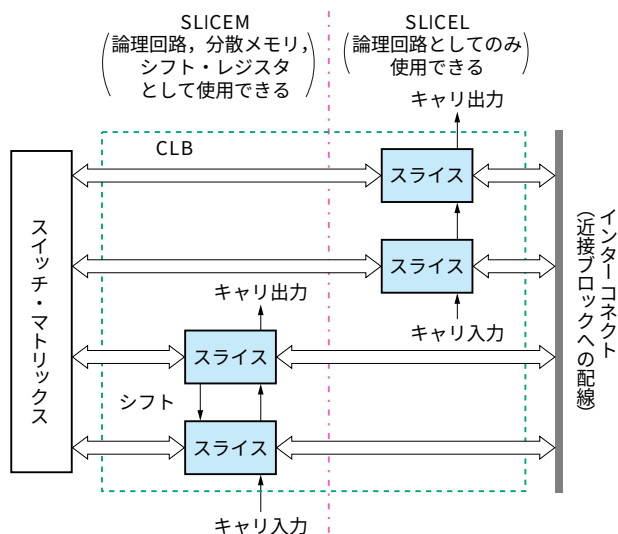
図1 Spartan-3ファミリの構造

XC3S200からXC3S2000までの構造を示している。XC3S4000およびXC3S5000では左の図にある点線の列の部分もメモリ・ブロック (Block RAM) になる。XC3S50ではBlock RAMは1列になる。

表1 Spartan-3ファミリの概要

型名	システム・ゲート	ロジック・セル	CLBアレイ (1CLB=4スライス)			分散RAM (ビット)	Block RAM (ビット)	乗算器	DCM数	最大ユーザ I/O数	最大差動 I/O数	パッケージ
			ロウ	カラム	総数							
XC3S50	5万	1,728	16	12	192	12K	72K	4	2	124	56	VQ100, TQ144, PQ208
XC3S200	20万	4,320	24	20	480	30K	216K	12	4	173	76	VQ100, TQ144, PQ208
XC3S400	40万	8,064	32	28	896	56K	288K	16	4	264	116	TQ144, PQ208, FT256
XC3S1000	100万	17,280	48	40	1,920	120K	432K	24	4	391	175	FT256, FG320, FG456, FG676
XC3S1500	150万	29,952	64	52	3,328	208K	576K	32	4	487	221	FG320, FG456, FG676
XC3S2000	200万	46,080	80	64	5,120	320K	720K	40	4	565	270	FG676, FG900
XC3S4000	400万	62,208	96	72	6,912	432K	1,728K	96	4	712	312	FG900, FG1156
XC3S5000	500万	74,880	104	80	8,320	520K	1,872K	104	4	784	344	FG900, FG1156

- IOBが、規則的に並んだCLBのアレイを取り囲んでいます。本誌に付属している「XC3S50」の場合は、このアレイに1列のBlock RAMと18ビット×18ビット乗算器が組み



一つのCLBは、四つのスライス(Slice)で構成される。左側のスライスは、論理回路以外の機能としても使用できる。

Spartan-3 ファミリは、五つの機能のすべてを相互接続する配線リソースと、スイッチ・マトリックスと呼ばれる切り替え器を使い、各機能間で信号を伝送します。

CLB内の四つのスライスは、二つのペアに分割されます。それぞれのスライス間は、キャリ・チェーンで接続されています。左側のスライスはSLICEMと呼ばれており、論理回路以外の機能としても使用可能です。右側のスライスはSLICELと呼ばれており、論理回路だけになります。

The logic diagram illustrates a 2-bit ripple-carry adder implemented using two LUTs and two D flip-flops. The inputs are two 2-bit numbers, A (A1, A0) and B (B1, B0), and a carry-in (CIN). The outputs are the 2-bit sum (Y1, Y0) and the carry-out (CY).

Top LUT (LUT1): Configured with inputs I3, I2, I1, I0 and outputs O, DI. It implements the function for the sum bit Y1. Its inputs are A1, B1, and the carry-in (CIN). Its output O is Y1. The carry-out (CY) is connected to the DI input.

Bottom LUT (LUT2): Configured with inputs I3, I2, I1, I0 and outputs O, DI. It implements the function for the sum bit Y0. Its inputs are A0, B0, and the carry-in (CIN). Its output O is Y0. The carry-out (CY) is connected to the DI input.

Carry Propagation: The carry-out (CY) of the bottom LUT is connected to the carry-in (CIN) of the top LUT. The carry-out (CY) of the top LUT is connected to the carry-in (CIN) of the bottom LUT.

Flip-Flops: Two D flip-flops are used to store the sum bits Y1 and Y0. The D inputs are connected to the sum outputs of the LUTs. The clock inputs (CLK) are connected to the common clock signal. The Q outputs are connected to the sum outputs Y1 and Y0.

二つの LUT (look-up table), キャリ・ロジック, シーケンシャル・エレメント (フリップフロップなど), マルチプレクサ (MUX) で構成される。