

第1章

非同期回路設計のすすめ

—— デジタルLSI設計の“常識”を見直してみませんか？

唐木信雄

ここでは、非同期回路の設計技術について解説する。論理合成ツールが普及して以降、デジタルLSI設計では同期設計方式が標準的なスタイルとなった。しかし、同期設計ゆえの不具合も発生している。最近、もっとも大きな問題となっているのがクロック・スキューや電磁放射ノイズ、消費電力などの不具合である。こうした問題を解消する手段の一つとして、クロックレスの非同期設計方式に注目が集まっている。ただし、現状で、非同期設計方式を前提に開発されたEDAツールは非常に少ない。開発環境や設計手法の整備などに大きな課題が残っている。(編集部)

最新の半導体製造プロセスを利用してデジタルLSIを開発する際の大きな課題として、クロック・スキューの増大、同時スイッチングなどに起因するノイズの増加、および消費電力の上昇などがあります。こうした問題を解消するため、デジタルLSIの回路設計者やレイアウト設計者は大きな負担を強いられています。例えば、一つの不具合の修正はチップ上のさまざまな箇所に影響を与えます。一度回路を修正するたびに作業の手戻りが発生し、なおかつ広範囲の回路を検証し直す必要があります。また、その修正作業が1回や2回で収束するとは限りません。

こうした問題が生じる根本的な原因は、現在のデジタルLSIが、一つまたは複数のクロック信号の立ち上がり/立ち下がりに合わせて回路全体が動作する「同期設計方式」に基づいて開発されているためです。同期設計方式は現在のデジタル回路設計の根幹です。論理合成技術の普及とともに、この方式はデジタル回路設計の標準的な手法として浸透しました。実際、最近になってデジタルLSI設計の世界に入ってきた技術者のみなさんの中には、同期設計以外の方式をよく知らない方もいるかもしれません(「非同期」イコール「ダメな設計」と教育されているケースもある)。

しかし、上述のように、半導体製造プロセスの微細化とともに、同期設計方式に起因する不具合が生じるケースが目立ってきています。また、従来型の同期設計では解決できないタイプの問題(例えば、製造ばらつきのあるプロセスの利用を前提とした集積回路の開発など)も出てきています。

本稿では、筆者ら(セイコーエプソン)が注目している非同期設計方式の基本概念について説明していきます。論理合成中心の世界で育った最近のデジタルLSI設計者の方の中には「非同期」ということばに拒否反応を示される方もいるかもしれません。また、非同期設計があたりまえだった時代を憶えているベテラン設計者の方々には、「時代遅れの手法」と映るかもしれません。しかし、ノイズや消費電力のトラブルに対して、「問題のある箇所を探し、不具合を起こしている箇所が検出されたらそのたびに修正する」という後手後手の対処法をいつまでも続けられる保証はないと思います。

このあたりでそろそろ、「同期設計方式」というデジタルLSI設計の「常識」を見直すことを検討してみてはいかがでしょうか？

● 同期・非同期はバケツ・リレーの方式の違い

まず、同期回路と非同期回路の違いについて説明します。

同期回路では、回路ブロックがクロック信号によって駆動されてデータを転送します。一方、非同期回路では、回路ブロックどうしがお互いに通信し合ってデータを送ります(図1)。

バケツ・リレーをイメージしてみてください(図2)。同期回路は、一定の時間間隔(クロック周期)で全員が同時に隣の人にバケツを手渡しイメージです。すべての人が同じ

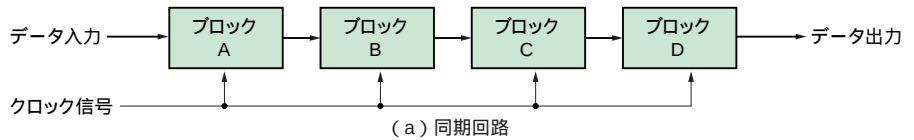


図1
非同期回路と同期回路におけるデータ転送
同期回路間のデータ転送はクロック信号によって駆動される。非同期回路間のデータ転送はブロック間の通信(制御信号)によって行われる。

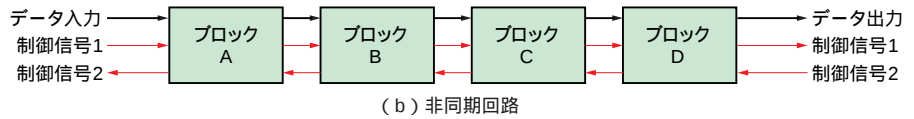


図2 バケツ・リレー

(a)の同期式バケツ・リレーでは、かけ声の速度が速くなると、みんなのタイミングについていけない人が出てくるかもしれない。(b)の非同期式バケツ・リレーには、全体の統一感こそないが、もたもたした人がいても不具合は起こらない。

タイミングで同じ動作を行います。手渡す速度が速く(クロック周波数が高くなる)なってくると、みんなのタイミングについていけない人が出てくるかもしれません。

一方、非同期回路では、隣の人に「バケツをちょうだい!」(リクエスト)、「受け取ったよ!」(アクノリッジ)と確認の声をかけながら、隣の人にバケツを手渡していきます。バケツを手渡す速さやタイミングは各自ばらばらです。もたもたしている人がいた場合でも、次の人は確認の声をきいてからバケツを受け取るので、トラブルは起こりません。全体の統一感はありませんし、毎回、確認が必要な点はめんどろなのですが、バケツ・リレーという作業そのものは滞りなく行われます。

どちらの方式にもそれぞれ一長一短があります。現在のデジタルLSI設計は、前者の方式においてバケツを手渡す速度が速すぎて、あちらこちらでトラブルが起こっている状態と考えることができます。

● なぜ今、非同期設計なのか

以下に、非同期設計方式の特徴を列挙します。

1) グローバル・クロックによって駆動されない

CMOS LSIの製造プロセスが $0.25\ \mu\text{m}$ 以下になり、配線遅延(単位配線長当たりの配線容量に起因する信号遅延)が

素子遅延(ゲート遅延)よりも大きくなりました。そのため、最近のデジタルLSIではクロック信号配線の総配線長が非常に長くなり、クロック・スキューの問題が深刻になってきています。また、LSIだけでなく、面積の大きい表示パネル(液晶ディスプレイなど)とともに形成される大面積の制御回路においても、同様の問題が発生しています。

一方、非同期回路には、そもそもクロック信号が存在しません。クロック・スキューの問題は発生しようがありません。クロック動作に起因する電磁放射はなく、消費電力も下がります。例えば、筆者らが試作した非同期プロセッサでは、同期設計の場合と比べて消費電力が $1/3$ 、放射ノイズが -20dB になるという結果が出ています。

2) セルフタイムドな回路である

非同期回路は、各回路ブロックがそれぞれ固有の時間で動作するという意味で、“セルフタイムド(self-timed)”な回路と呼ばれています。処理時間の長い回路ブロックと短い回路ブロックが混在している場合でも、それぞれの回路ブロックはつねに最高速度で処理を実行します(ただし、チップ全体の性能が上がるかどうかは別問題。性能向上はチップ全体のアーキテクチャ設計のよしあしによる)。また、素子遅延や配線遅延にばらつきがあっても、問題なく動作します。これは動作電圧や温度などの変動に強いとも言え