

# フレーム・メモリを備えた 画像処理回路の設計

江崎雅康

「FPGA XC3S500E-VQ208 (208ピン) + 2Mバイト高速SRAM 基板」と「画像ベースボード」で構成する本格的な画像処理回路の詳細を紹介する。 (編集部)

## 1 フレーム・メモリ付き画像制御回路で行った実験

第1章で紹介した「XC3S500E-VQ208(208ピン) + 2Mバイト高速SRAM 基板」CQ-SP3E208を使って、

- SCCB (Serial Camera Control Bus) インターフェースを介したCMOSカメラの設定
- CMOSカメラからのデータをフレーム・メモリに記録
- フレーム・メモリのデータをアナログVGAに出力
- マイクロプロセッサによる画像ピクセルへのアクセス
- マイクロプロセッサによる画像キャプチャの制御などを行いました。

本章ではこの画像制御回路の構成を詳しく紹介し、マイクロプロセッサのプログラムもしくはVHDLソースを書き換えることにより各種画像応用システムを構成する助けとします。

第1章で行った実験は、次の3種類です。

カメラから30フレーム/sで出力した画像データをフレーム・メモリに記録し、同じフレーム・メモリから60フレーム/sで読み出した画像データをアナログVGAに出力し表示する。

カメラ画像をフレーム・メモリ0, フレーム・メモリ1に記録する。マイクロプロセッサから各フレームのピクセル

・データを読み出し、差分データをフレーム・メモリ2に書き込んでアナログVGAに表示するソフトウェア差分処理の実験。

カメラ画像をフレーム・メモリ0に記録し、次にフレーム・メモリ0から読み出したデータとカメラ・データの差分をFPGAで演算する。その結果をフレーム・メモリ1に記録し、アナログVGAに表示するハードウェア差分処理の実験。

## 2 画像ベースボード, フレーム・メモリ基板, Interface誌付属SH7144基板で構成した画像処理システム

図1は本誌2007年8月号で紹介した画像ベースボードCQ-SP3EDWの回路図です。この回路図の

- 40ピン・プラグ J<sub>1</sub>
- 34ピン・プラグ J<sub>2</sub>
- 20ピン・プラグ J<sub>12</sub>

に第1章で紹介した「XC3S500E-VQ208 + 2Mバイト高速SRAM 基板」CQ-SP3E208のヘッダJ<sub>3</sub>, J<sub>2</sub>, J<sub>4</sub>を接続します。

制御にはInterface誌2006年6月号付属基板CQ-SH7144を使用しました。この基板をCQ-SP3E208の40ピン・プラグJ<sub>1</sub>, J<sub>5</sub>に接続すると写真1に示すように3段重ねになります。

CQ-SP3E208は基板上に48MHzクロック・モジュールを実装していますが、今回の実験ではCQ-SH7144のクロック

### KeyWord

フレーム・メモリ付き画像制御回路, SCCB, デジタルCMOSカメラ, RGB: 565モード, CPUによる差分演算処理, ハードウェアによる差分

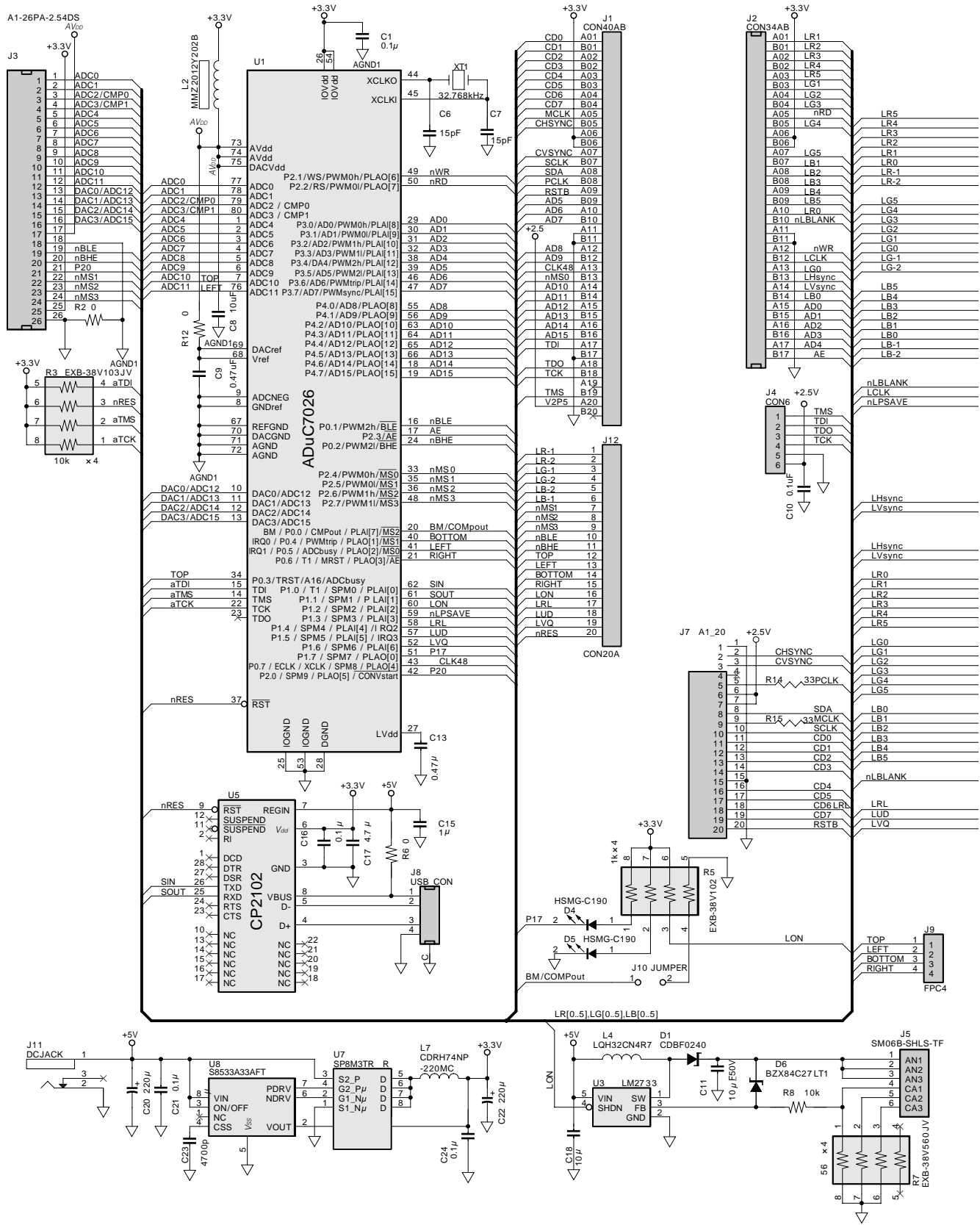
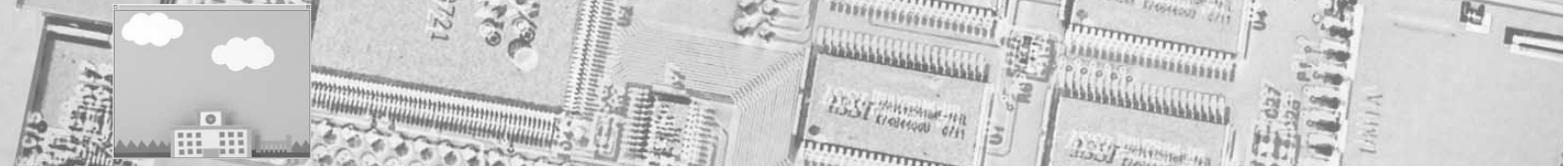


図1 画像ベースボードCQ-SP3EDWの回路図

画像用D-AコンバータADV7125, マイクロプロセッサADuC7026, USB-シリアル変換IC CP2102, 液晶バックライト用LED駆動回路, 3.3Vスイッチング・レギュレータなどを備える。本誌2007年8月号で紹介したもの。