

# 第4章

## インピーダンスや損失を制御して差動伝送線路を攻略せよ

# 配線設計の極意

田中顕裕

差動伝送線路の性能は、配線パターンの良し悪しで決まるといっても過言ではない。ここでは配線設計の際に必ず知っておきたい要素を整理する。  
(編集部)

プリント基板を伝搬する電気信号の速度は、年々速くなっています。図1は画像などの大容量データを取り扱う電子機器の典型的な模式図です。大容量のデータをほかの基板に送るために、差動伝送方式を使った高速シリアル伝送が主流になってきました。

この差動信号の速度は、パソコンなどでよく使われているPCI Expressで最高5.0Gbps、Serial ATAで3.0Gbps

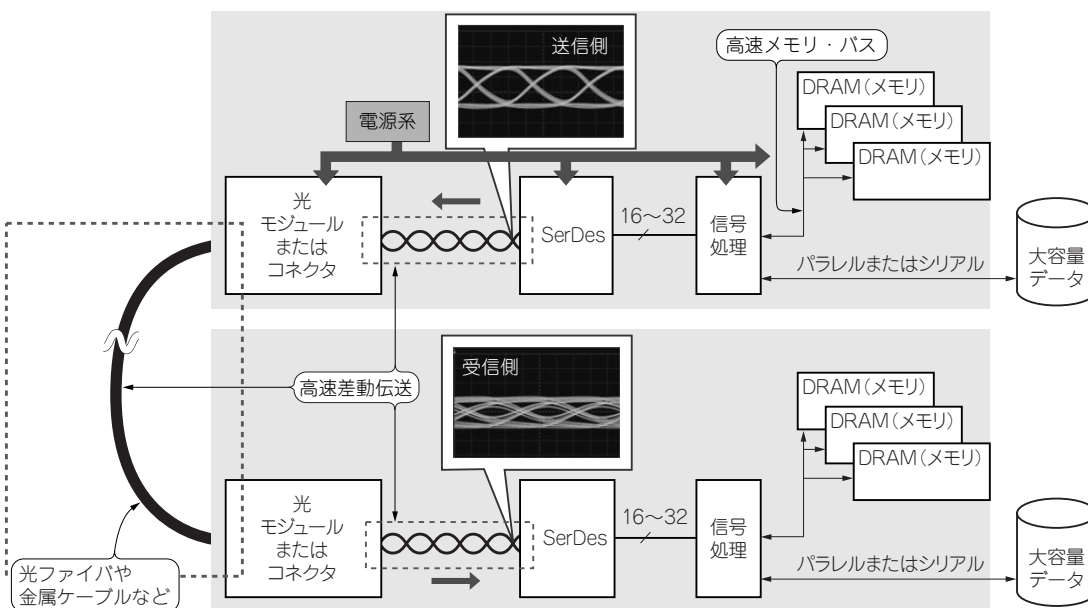
と高速です。これらの差動信号の電圧振幅はおよそ1V以下と小さいため、信号波形の品質確保が課題となります。そこでプリント基板にはインピーダンス整合、伝送損失の抑制、電源電圧の安定化などが求められています。ここでは実験例を交えながらこれらのポイントを解説します。

### 極意 配線の太さや間隔を調整しインピーダンスを整合させる

#### ● 要求されるインピーダンスを知る

LVDSドライバなどのICが出力する高速な差動信号は、プリント基板やコネクタ、ケーブルなどの導体を通り、レ

図1  
画像などの大容量データを取り扱う電子機器のブロック例  
大容量データがプリント基板に入り、まずメモリに蓄えられる。データはSerDesで高速シリアル化されて、コネクタやケーブルを介してほかの基板へと伝送される。同一基板上のLSI同士が高速シリアル接続されることもある。高速シリアルだけでなく、高速メモリ・バス設計も課題は多い。



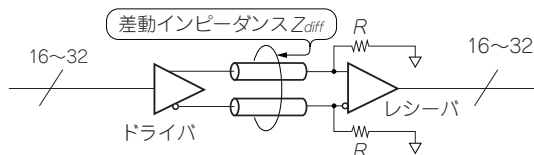
**Keyword** 差動インピーダンス、マイクロストリップ線路、ストリップ線路、クロストーク、スルー・ホール、パッド、FR-4、アイ・パターン

シーバICに伝わります(図2)。この半導体間の基板、コネクタ、ケーブルといった導体は、伝送線路や伝送路と呼ばれます。電気信号はインピーダンスが異なるところで反射して、波形が乱れる原因になります。良好な信号伝送を行うためには、半導体の終端抵抗と各伝送路の特性インピーダンスを一致させることが重要です。

高速差動伝送では図2のように2本の伝送路が1対として用いられます。その電気特性は半導体が内蔵する終端抵抗の2倍として、差動インピーダンス100Ωが要求されることが一般的です。差動インピーダンスは、Fibre Channelでは150Ω、USB 2.0では90Ωなど、100Ωではないインターフェース規格もあります。使用するインターフェースの規格書や半導体のアプリケーション・ノートを確認してください。

### ● 絶縁層の厚み、配線の幅、配線間の距離などで調節

プリント基板の信号配線の差動インピーダンスを100Ωなどの値に設計するにはどうすればよいでしょうか。図3は基板の差動信号配線の断面図と、それに対応する差動インピーダンス( $Z_{diff}$ )の計算式です<sup>(1)</sup>。絶縁層の厚み、配線



伝送路(基板、コネクタ、ケーブル)の差動インピーダンス $Z_{diff}$ は、レシーバの並列終端抵抗 $R$ の2倍に設定

図2 高速差動伝送回路の例  
2本の伝送路を1対として用いる。

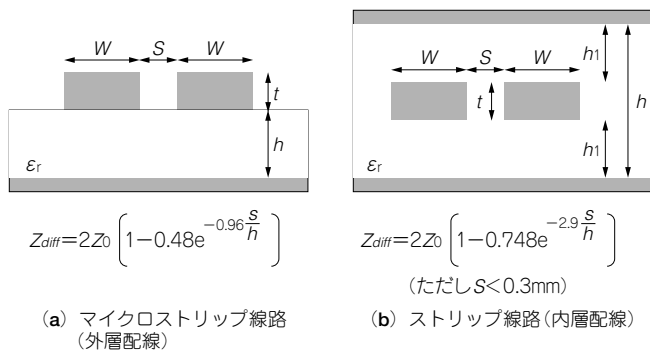


図3 差動配線の断面構造と差動インピーダンスの近似式(1)

差動インピーダンス $Z_{diff}$ とシングルエンド配線の特性インピーダンス $Z_0$ の単位はΩ、 $\epsilon_r$ はガラス・エポキシ(絶縁層)の比誘電率。 $Z_{diff}$ は絶縁層の厚みや配線の幅、配線間の間隔などの設計仕様で調節できる。ただし、これら近似式で得られる $Z_{diff}$ は実際と異なるため、基板メーカーから狙いの $Z_{diff}$ に対する基板仕様情報を得ること。

の幅、配線間の距離などで調節できます。

なお、基板の表面にある信号配線のことをマイクロストリップ線路と呼びます。基板の内層にあって、かつ、ベタプレーンで挟まれた信号配線をストリップ線路と呼びます。絶縁層が厚いほど差動インピーダンスが増加し、配線が太いほど差動インピーダンスが低下します(図4)。

先ほど、差動インピーダンスは絶縁層厚みや配線幅、配線間隔などに依存すると述べました。差動インピーダンスが100Ωになる設計仕様(配線幅や配線間隔の組み合わせ)はいくつも存在します(表1)。どの設計仕様を採用したらよいかは、後で説明します。

## 2 プリント基板の材料と周波数は伝送損失にもろに影響する

プリント基板の主な成分は、層間絶縁材としてのガラス・エポキシ、導体としての銅、そして基板表面のソルダレジストです。このうち、信号配線の電気特性への影響が大きいのは、ガラス・エポキシの比誘電率( $\epsilon_r$ )と誘電正接( $\tan\delta$ )、銅はくの凹凸です。

表2はガラス・エポキシの代表的な材質名と、その比誘電率および誘電正接です。比誘電率や誘電正接が大きいほど、ガラス・エポキシ内や表面を伝搬する信号が減衰します。信号の減衰は比誘電率よりも誘電正接の影響が大きくなります。

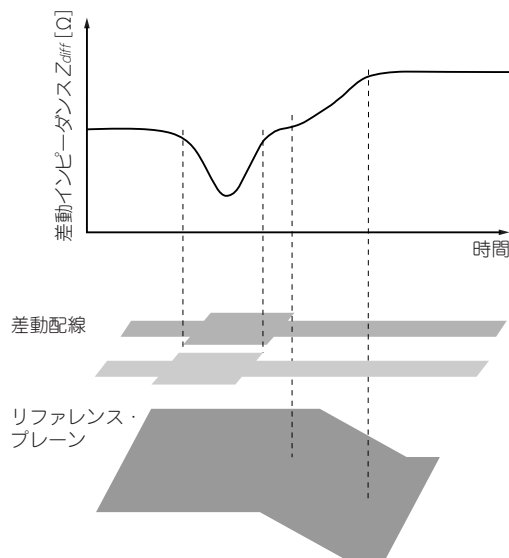


図4 差動配線仕様とTDR観測上の差動インピーダンス( $Z_{diff}$ )

$Z_{diff}$ は配線幅が広いところで低く、絶縁層が厚いところで高い。TDR(Time Domain Reflectometer)を使うことでこの様子を観測できる。なお、TDRステップパルスの立ち上がりを鈍らせると、 $Z_{diff}$ の変化が現れにくくなる。つまり微小部位の $Z_{diff}$ 整合の必要性は入力信号の遷移速度による。