チュートリアル2:より高度な波形編集と波形生成

本チュートリアルは対話的な HDL シミュレーション,波形生成そしてパラメータ表示機能について紹介した WaveFormer Pro/TestBencher Pro の応用事例です.本チュートリアルの読者は,波形の描画とこれらに delay, setup そして hold のパラメータの付加方法を知っているものとします.もし初めて WaveFormer Pro/TestBencher Pro を使う場合はチュートリアル1を最初に読まれることを推奨します.チュートリアル1では新規プロジェクトの開始や信号,波形の追加/編集およびパラメータの追加/編集など WaveFormer Pro/TestBencher Pro の基礎について解説しています.

本チュートリアルでは,

1) 対話的な HDL シミュレーション

2) より高度な波形生成:一時的論理式とバス

3) より高度なパラメータのテクニック

について解説します.

次の二つの節では,異なる種類の信号やバスをすばやく生成する方法について示します.信号生成のもっとも明確な方法はそれを描いてしまうことですが,信号の種類が他の信号を基にした組合せ論理型,順序論 理型およびラッチや準周期的なもの,あるいはアドレス線のような相互に関連する信号群の一部のようなものの場合,さらにすばやく生成できる方法があります.

1) 対話的なHDL シミュレーション

WaveFormer ProとTestBencher Pro は対話的 HDL シミュレータを標準で装備しています.これは Verilog-HDL で作成された動作レベルのコード,あるいは遅延を持つ論理式およびレジスタやラッチの記述をシミュレーションできます.このシミュレータが対話的といわれるのは,入力波形が変化するごとに再シミュレーションを行ってくれるためです.この機能によりタイミング・ダイヤグラムの作成時間,とりわけゲート・レベルのシステムをモデリングするのに要する時間を大幅に削減できます.

なお,このような機能は VHDL や Verilog-HDL 形式でテスト・ベンチを生成する機能とは別なのでご注意 ください(テスト・ベンチ生成についてはチュートリアル4と5を参照のこと).



対話的 HDL シミュレーションを体験するために,以下にしたがってダイヤグラムを設定してください.

- 1. 信号を二つ追加します.名前は SIG0 と SIG1
- 2. SIG0 と SIG1 に対して図 1.1 に示すような波形を描きます.これらは入力信号として働きます.
- 3. [Draw]-[Add Free Parameter]メニューを起動してフリー・パラメータ F0 を追加します.
- 4. フリー・パラメータ F0 を左マウス・ダブル・クリックして Parameter Properties ダイアログを開き, min 値を 10 , max 値を 15 に設定します.
- 5. 信号 SIG2 を追加します.なお, SIG2 の波形は入力しないでください.本波形はシミュレーションによって自動生成してみます.

1a)他の信号の論理式から波形を自動生成する

まず,論理式のシミュレーションから始めましょう.WaveFormer Pro には VHDL, Verilog-HDL および SynaptiCAD 独自の拡張論理文で記述された論理式を入力できます.SynaptiCAD 独自のフォーマットではつぎに示 す演算子が使えます and, or, nand, nor, xor, not, delay.

ここで, delay 演算子は信号と時間またはパラメータの間で行われる演算で, 信号が戻り値です.

もしパラメータ名が delay 演算子の右側で使われると,拡張論理文は真の最小/最大のタイミングをシミュレーションします.この SynaptiCAD フォーマットが持つ真の最小/最大タイミング計測機能は VHDL や Verilog-HDL よりも優れた特性を持ちます.

それでは論理文のシミュレーションを以下の手順にしたがって実行してみましょう.

- 1. 信号 SIG2 を左マウス・ダブル・クリックして Signal Properties ダイアログ・ボックスを開きます.
- 2. 図1.2 に示すようにダイアログ・ボックスとダイヤグラム・ウィンドウを並べて配置します.なお,このダイアログ・ボックスは本節が終了するまで開いたままにしておきます.また,本節で取り上げるすべての制御子やボタンはみな Signal Properties ダイアログ・ボックスに含まれています.
- 3. Boolean Equation ラジオ・ボタンが選択されていることを確認してください(図1.2).
- 4. Boolean equation の項目に以下の式を入力します(信号名は大文字と小文字を区別する) (図1.2).

SIG0 and SIG1

5. Simulate Once ボタンをクリックして信号 SIG2 自身の波形が描かれることを確認してください(図1.2)

🙅 WaveFormer Pro - tutor2.tim			- II X	Signals Properties Dialog
<u>F</u> ile E <u>x</u> port <u>E</u> dit <u>D</u> raw <u>B</u> us <u>L</u> ibraries	s <u>V</u> iew <u>O</u> ptions <u>R</u> eport	<u>W</u> indow <u>H</u> elp		
💁 Diagram			- 🗆 🗵	Name: SIG2 Properties
Add Signal Add Bus Delay Setup Sample Add Clock Add Spacer Hold Text Market			Zoom In Zoom Out	active low name (adds bar on top, \$BAR suffix)
150.5ns -17.92ns Ons	50ns 100ns	150ns	200ns	Boolean Equation: ex. (SIG1 and SIG2) delay 5 SIG0 and SIG1
SIGO /			<u> </u>	
SIG1			_	Clock: Unclocked 💽 Edge/Level: neg 👤
SIG2				Clock to Out: 0 Setup: 0
			-	Startup State: unknown Hold: 0
۲ <u>۲</u>			•	📀 Boolean Equation 🔷 HDL Code
Parameter			- U ×	Simulate Once Continuously Simulate
				Wfm Eqn 8ns=Z (5=1 5=0)*5 9=H 9=L 5=V 5=X 🔹
name min max n	nargin comment			🗹 Export Signal Direction: shared output 🔹
🚟 Report = C:¥WaveForm¥veriwell.log			_O×	VHDL Type: std_logic
VeriWell/PC HDL <version 2.1.<="" td=""><td>.7> Thu Jan 15 19:50</td><td>:20 1998</td><td>-</td><td>Verilog Type: wire</td></version>	.7> Thu Jan 15 19:50	:20 1998	-	Verilog Type: wire
WaveFormer Embedded Verilog	Simulation Engine			Radix: bin 🗾 Bus MSB: 0 LSB: 0
INS Row: 1	1 Line: 1 Col: 1		<u>_</u>	OK Cancel Apply Prev Sig Next Sig
<u>•</u>			_ <u> </u>	2
waveperl.err	tutor2.v	[veriwell.lo	gl	

図 1.2 シミュレーションによる波形の自動生成例

なお, SIG2 は論理式"SIG0 and SIG1"の結果であることに注意してください.デフォルトでは Continuously Simulate のチェック・ボックスがチェックされていませんが,この場合たとえば信号 SIG0 のエッジを移動させて も信号 SIG2 は自動的に更新されないでしょう.

そこで, Continuously Simulate のチェック・ボックスをチェックして信号 SIG0 または SIG1 のエッジを移動する と信号 SIG2 も自動更新されます.それではダイアログ・ボックス下部にある Apply ボタンをクリックして信号 SIG0 または SIG1 のエッジを移動したとき信号 SIG2 が自動更新されるようすをみてください.

ここで,信号 SIG2 のエッジはユーザが変更することはできません.これは SIG2 は信号 SIG0 と SIG 1 にのみ依存するよう定義されているからです.

6. それでは,論理式に遅延情報を追加してみましょう.このチュートリアルのはじめに定義したフリー・パラ メータ F0 を使って以下の式を記述します.

(SIG0 and SIG1) delay F0

Simulate Once ボタンをクリックしてシミュレーションを行います.結果は図1.3 に示すとおりで,不確 定領域が生成されていることがわかります.

なお,Delay 演算子はパラメータ名や時間値をオペランドとしてとることができます.

つぎに, HDL code ラジオ・ボタンをチェックして,この論理式をシミュレーションする HDL を見てみ ましょう(図1.3).もし望むならば HDL 文をここに追加して独自の動作を定義することも可能です(今ここ ではこのコードを変更しないでください).

Signal Properties ダイアログの Boolean Equation ラジオ・ボタンをチェックし直して, Boolean Equation (または Logic Wizard)の項目を表示してください.なお,次節でも使うので Signal Properties ダイアログは 開いたままにしておきます.

🙅 WaveFormer Pro -	tutor2.tim					Sig	nals Properties Dialog 🛛 🗙
<u>F</u> ile E <u>x</u> port <u>E</u> dit	<u>D</u> raw <u>B</u> u	us <u>L</u> ibrari	es <u>V</u> iew <u>O</u> ptions	<u>R</u> eport <u>W</u> indow <u>H</u> elp			
💁 Diagram							Name: SIG2 Properties
Add Signal Add Bus Add Clock Add Spa	cer Hol	<mark>y</mark> Setup Sa d Text M	arker HIGH	TRI VAL INVal WHI WLO	HEX Zoom II		active low name (adds bar on top, \$BAR suffix)
4.608ns 4.608r	1 <mark>S</mark> Ons		50ns	100ns 150ns	200ns		Boolean Equation: ex. (SIG1 and SIG2) delay 5
SIGO		$\overline{)}$			<u> </u>		wire #F0min SIG2_wf14 = (SIG0 & SIG 🗎
SIG1							
SIG2							
•	▶◀				•		
🚟 Parameter					- D ×		Boolean Equation HDL Code
15							Simulate Once
name	min	max	margin	comment			Wfm Eqn 8ns=Z (5=1 5=0)*5 9=H 9=L 5=V 5=X 🗸
FO	10	15	na (free)		▲ ▼		Export Signal Direction: shared output
Report - C:¥W 🗗							VHDL Type: std_logic
						1	Verilog Type: wire
							Radix: bin 🗾 Bus MSB: 0 LSB: 0
							OK Cancel Apply Prev Sig Next Sig

図 1.3 論理式に遅延情報を追加して再シミュレーションを行った例

本例では真の最小/最大タイミング・シミュレーション機能を取り上げましたが,最小値のみ,または最大値のみのシミュレーションも行えます.これは[Options]-[Simulation Preferences]-[Timing Model]メニューを変更することで行えます.

なお,オンライン・ヘルプの12章に delay 演算子,論理演算子および,より高度なゲート表現について説明しています.

1b) レジスタとラッチの生成

WaveFormer Pro と TestBencher Pro は論理式からレジスタやラッチを生成できます. 図 1.4 は論理式を使ってモデリングされた回路の例です.

Register or latch type determined by edge/level setting Boolean equation ______ in out _____ simulated clock is a signal _____ clock

図 1.4 Signals Properties ダイアログの Boolean Equation(または Logic Wizard)の項目によってモデリング された回路例

それではレジスタやラッチ生成を行ってみましょう.以下の式を信号 SIG 2 の Boolean Equation の項目に入力してください.

SIG1

つぎに Simulate Once ボタンをクリックして論理式をシミュレーションしてみましょう.信号 SIG2 は信号 SIG1 をそのままコピーしたように見えるでしょう.信号 SIG2 をレジスタと見なした場合, SIG 2 がレジス タとして動作するようすを SIG1 と視覚的に比較できます.

つぎに Clock ドロップ・ダウン・リスト・ボックスを表示して信号 SIG0 をクロック信号として選択します. デフォルト値"Unclocked"を含め,タイミング・ダイヤグラム中の任意のクロックまたは信号がクロッキン グ信号として使えます(図1.5).

💁 WaveFormer Pro -	tutor2.tim						Signals Properties Dialog
<u>F</u> ile E <u>×</u> port <u>E</u> dit	<u>D</u> raw <u>B</u> u	us <u>L</u> ibrari	es ⊻iew <u>O</u> ption:	<u>R</u> eport	<u>₩</u> indow <u>H</u> elp		
🧟 Diagram							Name: SIG2 Properties
Add Signal Add Bus Add Clock Add Spa	cer Hol	y Setup Sa d Text Ma	nple HIGH LOW		INVal WHI WLO HEX	Zoom In Zoom Out	active low name (adds bar on top, \$BAR suffix)
152.6ns 6.144r	1 <mark>S</mark> Ons		50ns	100ns	150ns	200ns 25	Boolean Equation: ex. (SIG1 and SIG2) delay 5
8109		1 1 1		╘┯━━━	1		
SIG1	_	<u> </u>			<u> </u>		Clock: SIGO 💽 Edge/Level: neg 💽
SIG2							Clock to Out: 0 Setup: 0
		1	1		1		Startup State: unknown Hold: 0
							🔶 Boolean Equation 🛛 🔷 HDL Code
						-	Simulate Once
•						<u> </u>	Wfm Eqn 8ns=Z (5=1 5=0)*5 9=H 9=L 5=V 5=X 🗸
🚟 Parameter							
							✓ Export Signal Direction: shared output <u></u>
name	min	max	margin	comment	t		VHDL Type: std_logic
FO	10	15	na (free)			-	Verilog Type: wire
	I	I	1	1			Radix: bin 💽 Bus MSB: 0 LSB: 0
Report - C:¥W 🗗						<u> </u>	OK Cancel Apply Prev Sig Next Sig

図 1.5 信号 SIG0 を立ち下がりクロック信号とした場合のシミュレーション例

つぎに Edge/Level ドロップ・ダウン・リスト・ボックスを表示して,トリガとして both を選択します. Simulate Once ボタンをクリックしてシミュレーションを行います.信号 SIG2 が信号 SIG0 の立ち上がり /下がりエッジに同期して変化していることがわかります(図1.6).信号 SIG0 や SIG1 のエッジを移動して, 確認してみてください.

🙅 WaveFormer Pro - tutor2.tim		Signals Properties Dialog 🛛 🔀
<u>File Export Edit Draw Bus Libraries View Options</u>	<u>R</u> eport <u>W</u> indow <u>H</u> elp	
💁 Diagram		Name: SIG2 Properties
Add Signal Add Bus Delay Setup Sample HIGH LOW Add Clock Add Spacer Hold Text Marker	TRI VAL INVal WHI WLO HEX Zoom In Zoom Out	active low name (adds bar on top, \$BAR suffix)
135.2ns 10.75ns Ons 50ns	100ns 150ns 200ns 25	Boolean Equation: ex. (SIG1 and SIG2) delay 5 SIG1
	_ <u></u>	
SIG1		
SIG2		Clock to Out: 0 Setup: 0
		Startup State: unknown Hold: 0
		🔶 Boolean Equation 🛛 🔿 HDL Code
New Parameter		Simulate Once
name min max margin	comment	Wfm Eqn 8ns=Z (5=1 5=0)*5 9=H 9=L 5=V 5=X 🔽
FO 10 15 na (free)	-	Export Signal Direction: shared output
		VHDL Type: std_logic
		Verilog Type: wire
	-	Radix: bin 🗾 Bus MSB: 0 LSB: 0
Report - C.¥W		OK Cancel Apply Prev Sig Next Sig

図 1.6 信号 SIG0 を立ち上がり/下がりクロック信号とした場合のシミュレーション例

レジスタまたはラッチは Edge/Level リスト・ボックスで指定したトリガ方法にしたがってシミュレーショ ンされます.レジスタとした場合は, neg(立ち下がりエッジ・トリガ), pos(立ち上がりエッジ・トリガ)およ び both(両エッジ・トリガ)から選択できます.またラッチとした場合は, low または high レベルでのラッチ を指定できます.

それでは, Edge/Levelの値をすべて選択してレジスタまたはラッチとして動作することを確認してみてください.

なお, Clock to Out, Setup そして Hold の項目にはレジスタやラッチ回路の各種タイミング時間を設定できます.また, Startup State にはシミュレーション開始時のレジスタやラッチの初期値を設定でき,有効な値は,0,1 および x です.詳細についてはオンライン・ヘルプの12 章を参照してください.

2) より高度な波形生成

本節では一時的論理式を使ってすばやく信号を生成する方法,信号の再構成および二種類のバス(仮想バスとリアル・バス)の働きについて解説します.

20.22ns 20.22ns	Ons	20ns	40ns	60n:	s 8	Ons	100n	IS L L L
5.		Advand	ced Wav	eform	Genera	tion		
	20ns=∨	•(5ns	=1 5ns=0)*4	1 	(10ns=Z 10	ns=X)*2-	- 2	25ns=V
TIMEeqn		j	VV		\rightarrow	\neg		
VirtualBus	ABAB) Е	389)	34C8	χ	valid o	lata	
data0		ſ						
data1								
BUSO	0	X	2)(1	χ_	3	(0)(
data	0	χ	1) 2	χ_	3)	(0)(

図 2.1 本節で使うタイミング・ダイヤグラム

(本図はバス,仮想バスおよび一時的論理式を使った信号生成を示す)

2a) 一時的論理式からの波形生成

一時的論理式からの波形生成法を使えば,すでにパターンのわかっている,周期的なクロック信号よりも 複雑な波形の生成をすばやく行えます.

一時的論理式は[Export]-[Draw WaveForm Equation]メニューから入力します.一時的論理式は以下の形式で 作成されます.

信号名 一時的論理式

また一時的論理式は以下の規則にしたがうものとします.

- 1. 信号名は, すでに定義されている信号名とします.もし,存在しない信号名を指定した場合,指定した名前で新規信号が生成されます.
- 2. 一時的論理式は以下に示すような形式のスペースで区切られた時間値と状態値の組の一覧とします.

時間値[単位]=状態値(例 10ns=Z)

ここで,単位を指定しない場合,表示時間単位が適用されます.

- 3. 有効な状態値は 0, 1, Z, V, H, L そして X です . 1 と 0 はそれぞれ high と low を , H と L はそれぞれ弱い high と弱い low をあらわします .
- 状態値を繰り返す場合は、時間値=状態値の組の一覧をかっこで括り、アスタリスクとくり返し回数を 続けて記します。

ー時的論理式を試すために,以下にしたがって前節で作成したダイヤグラムにいくつかの信号を追加してみましょう.

- 1. [Export]-[Draw WaveForm Equation]メニューを起動すると,同名のダイアログが開きます.
- 2. つぎに,以下に示す論理式を追加します(コピー&ペーストしても構いません).

TIMEeqn 20ns=V (5ns=1 5ns=0)*4 (10ns=Z 10ns=X)*2 25ns=V

3. OK ボタンをクリックすると波形がダイヤグラムに追加され,ダイアログ・ボックスが閉じます.ここで,生成された新規信号は図2.1 に示した信号 TIMEeqn と同じ形状であることがわかります(図2.2).

💁 Wave Former Pro -	tutor2.tim				_ 🗆	x
<u>File</u> Export <u>E</u> dit	<u>D</u> raw <u>B</u>	us <u>L</u> ibrar	ies <u>V</u> iew <u>O</u> ptions	: <u>R</u> eport <u>W</u> indow <u>H</u> e	lp	
Export Signa	ls As t Bopoh					×
Add Edit Object F	roperties		irker HIGH LOW		WLO HEX Zoom In Zoom Out	
39. Exclude Sele Show Non-Ex	cted From «ported Sig	Export nals	50ns	100ns 150n	s 200ns	
SIG(Add/Execute	Soript				_	*
SIG ^{-Draw Waveto}	rm Equatio irm Equatio					_
SIG2			'		-	
TIMEeqn		$\overline{\mathcal{M}}$				
						-
	• •				•	
Parameter					_0	×
name	min	max	margin	comment		
FO	10	15	na (free)			*
Report = C#M/						_
Draw Wavéform Equati	on			×		
Example: SIG4 8r	ns=Z (5ns=	=1 5ns=0)	*5 (10=H 10=L)*2 !	i=V 5=X		
TIME 20 1		ins=0)*4 (10ns=7 10ns=X)*2	25ns=V		
TIME eqn Zuns=	√ (5ns=1 5	//////////////////////////////////////				
	/ (5ns=1 5	/]				
TIME eqn Zuns=1	/ (5ns=1 5	/ ок	Cancel			

なお一時的論理式の意味は次のとおりです.

- 信号 TIMEeqn はダイヤグラムにはないので,この名前の信号が生成されました.
- 20ns=Vは,20[ns]間ある初期値を持つことを 意味します.
- (5ns=1 5ns=0)は , high の期間が 5[ns]続いた あと low が 5[ns]続くことをあらわします .
- つぎの *4 はかっこ内のシーケンスが4回繰 り返されることをあらわします.

論理式の残りの部分も同様に解釈されます.

図 2.2 一時的論理式により生成した波形例

図2.1 において,信号 TIMEeqn の上に表示されたテキストは,テキスト・オブジェクトと独自のラベルを 伴ったセットアップ・パラメータの組み合わせにより生成されたものです.WaveFormer Pro や TestBencher Pro にはこのようなドキュメント作成のための機能も備わっています.

なお,ドキュメントについてはオンライン・ヘルプの第8章を参照してください(本チュートリアルではこのようなテキストの追加については触れません).

話を戻しましょう.

もし,すでに存在する信号名が一時的論理式で使われた場合,その一時的論理式に相当する波形は,すで に存在する波形の後に続けて生成されます.以下にしたがってこのことを確認してみましょう.

1. Signals Properties ダイアログが開いている場合は, OK ボタンを押して閉じます.

2. [Export]-[Draw WaveForm Equation]メニューを起動してダイアログを開きます.

3. ダイアログ右側のボタンをクリックして以前の論理式を表示します(図2.3).



図 2.3 以前に入力した論理式の表示例

- 4. ここで(もし選択されていなければ),信号 TIMEeqn についての一時的論理式を選択してください.
- 5. OK ボタンを押してダイアログを閉じます.

以上で信号 TIMEeqn の終わりに続けて波形が追加描画されます(図2.4).

85.50ns	85.50ns	0n:	5		50ns	1 1	100ns		150ns	1 1	200ns	1 1	25
SIGO													
SIG1							[
SIG2													
TIMEeqn				M	\mathcal{M}				\sim	$\sim -$			
		+	1 +-	きょう	<u>~ ~ – – – – – – – – – – – – – – – – – –</u>	キカクキ会工		2011	世间间				

図 2.4 以前に入力した波形への一時的論理式による追加描画例

なお,一時的論理式と関連する機能(ステート・ラベル論理式と呼ぶ)は,カウンタやシフタをあらわす波形を すばやく生成,およびラベル付けを行う方法を提供します.これらの詳細は,オンライン・ヘルプの第11章を参 照してください.

2.b) 信号の移動と再構成

すべての信号は,その名前をドラッグ&ドロップすることにより移動できます.いくつかの信号を選択して,それらを一組にして移動すると,選択した順番にしたがって再構築されます.この機能により,バスな ど多くの要素よりなる信号の処理を容易にします.

それでは,図2.1に追加された信号を使って信号の移動と再構成を体験してみましょう.

単一の信号の移動

1. 信号 TIMEeqn の名前を左クリックします.選択された信号名はハイライト表示されます.

2. マウス・カーソルを信号 TIMEeqn の上部近辺に置き,マウス・カーソルの形状が通常の矢印からアップダウン矢印に変わったら,左マウス・ボタンを押します.すると緑色のバーが表示されます(図2.5).



3. 緑色のバーが信号 SIG0 と SIG1 の間に移動するようマウスをドラッグします(図2.6).
 4. 定位置に移動したらマウス・ボタンを離します.するとダイヤグラムが再構成されます(図2.7).

💁 Moving Signals	- 🗆 ×	💁 WaveFormer Pro - tutor2tim - [Diagram]
🚰 Eile Export Edit Draw Bus Libraries View Options Report Window Help	_ 8 ×	Eile Export Edit Draw Bus Libraries View Options Report Window Help
Add Signal Add Bus Delay Setup Setup HIGH LCW TRI VAL INVAI WH. HCA Zoom In Add Clock Add Spacer Hold Text Mater Company Setup Setup Setup Company Setup Set		Add Signal Add Bus Delay Setup Same High Low TRI VAL INVa WHI WLD HEX Zoom In Zoom Out
115.7ns - 45.57ns Ons 50ns 100ns 150ns 200ns	250ns	106.5ns -54.78ns 0ns 150ns 1100ns 150ns 1200ns 1250ns
	-	sigo
	_	
SIG2		SIG1
		SIG2
	•	
	•	
図 2.6 移動位置の決定		図 2.7 移動後のダイヤグラム

以上の要領で信号 TIMEeqn をダイヤグラムの最上部と最下部に移動させてみてください.

複数の信号の移動と再構成

- 1. 信号名を左マウス・クリックして信号 SIG0 と, つぎに SIG1 を選択します(SIG0 SIG1 の順で選択してく ださい).
- 2. これらを上記と同じ方法でダイヤグラムの最下部へ移動します.このとき信号 SIG0 が SIG1 の上に位置す るのは,選択の順序によるものです(図2.8).
- 3. つぎに信号 SIG1 を選択した後 SIG0 を選択します.
- 4. これらをダイヤグラムの最上部に移動します.このとき信号 SIG1 が SIG 0 の上に位置するのは,選択の順 序によるものです(図 2.8).

この方法で,多くの要素よりなる信号群をすばやく再構成できます.



図 2.8 信号のいろいろな移動例

2.c) 仮想バスとリアル・バス

タイミング・ダイヤグラム上では仮想バスとリアル・バスの二つがサポートされます.

- 仮想バスは,拡張された種類(HEX ステート)情報を使ってその値をあらわした信号のことです.仮想バス は Add Signal ボタンを使って追加できます.バスの種類の情報は HEX ボタンと ExState 編集ボックスを 使って追加できます.

仮想バスは,これを構成するような要素信号を持ちません.

 リアル・バスは、その遷移位置と値が各要素信号から決められる信号で、いわゆる通常のバス信号です.
 (アドレス線のある部分のような)対応する個々の要素信号を編集する代わりに、すべての要素信号の持つ データをある一つのリアル・バス内にまとめることができます.バスの要素信号は、計算させないよう にすることや、バスとともに表示させることができます.このバスは Add Bus ボタンを使って追加でき ます.

仮想バスの生成

仮想バスは,バス情報の表示やバスに付随する属性をあらわすのに使うことができます.また,仮想バスは VHDL と Verilog-HDLを使ったスティミュラスやテスト・ベンチ生成の機能を持ちます.仮想バスにタイミング・ パラメータを割り当てると,仮想バスは32 ビットといった大規模なバスを扱うタイミング・ダイヤグラムの計算 機能を向上させることができます.

それでは以下にしたがって仮想バスを生成してみましょう.

- 1. Add Signal ボタンをクリックして,信号名"VirtualBus"の信号を追加します.
- 2. バスの種類をあらわす VAL ボタンを二回クリックして有効にします(ボタンはトグルせず, VAL 状態を 保ちます).
- 3. VAL ボタンは赤字で表示され,また赤字の"T"の印がボタン上部につきます.
- 4. 図2.1 に示す VirtualBus のような,タイプ VAL の波形セグメントを四つ連続して描きます.
- 5. 最初のセグメントを左マウス・クリックします.選択されたことを示す枠がセグメントを囲んで表示されます(図2.9).

💁 WaveFormer Pro - tu	tor2.tim = [Diagram]	Ľ
🚰 <u>F</u> ile E <u>x</u> port <u>E</u> dit	<u>D</u> raw <u>B</u> us Libraries <u>V</u> iew <u>O</u> ptions <u>R</u> eport <u>W</u> indow <u>H</u> elp	ν×
Add Signal Add Bus Add Clock Add Spacer	Delay Setup Sample HIGH LOW TRI VAL INVal WLI HEX Zoom In Hold Text Marker Zoom Out	
25.34ns 11.78ns	Ons 2007s 40ns 60ns 80ns 100ns	120
SIG1		-
SIGO		
SIG2		
TIMEeqn		
VirtualBus		
		-
↓		•

- 6. HEX ボタンをクリックして Edit State ダイアログ・ボックスを開きます.
- ExState の項目に値を入力した後, Next や Previous ボタン,または Alt+N または Alt+P キーを押下して, 別のセグメントに移動します.なお,各セグメントに入力する値または文字は,各々 ABAB, E389, 34C8 および"valid data"とします(図 2.10).

43.01ns -64.00ns	0ns 20ns 40ns 60ns 80ns 100ns 1
SIG1	
SIGO	
SIG2	
TIMEeqn	
VirtualBus	ABAB (E389)(34C8)(valid data

図 2.10 仮想バスの生成例

- 8. 四つのセグメントの内容を編集したら OK ボタンを押してダイアログ・ボックスを閉じます.
- 9. ここで ZOOM OUT ボタンを数回クリックしてください.文字を表示できないほどダイヤグラムが縮小 されるとセグメント内の拡張情報は自動的に非表示となります.
- 10. 上記の事項を確認したら ZOOM IN ボタンを同じ回数クリックして,元の拡大率に戻してください.

作成した仮想バスを VHDL や Verilog-HDL に変換するとき, ExState の情報がセグメントのグラフィカルな 状態にとって代わります.これにより, HDL 上でグラフィカルに表現できない状態値を型付きの信号(integer など)に対して意味を持つように変換することが可能です(図2.11).



リアル・バスの生成

リアル・バスは,デザイン・サイクルのある時点でバスを構成する要素信号にアクセスする必要のある場合,あるいは既存の信号を一つのバスにまとめたいときに使います.

リアル・バスは,シミュレータや計測器から入力されたデータの解析に有用な形式です.リアル・バスを 作成する前に,これを構成する要素信号は,既存の信号名を選択するか新規に信号を定義して準備しなけれ ばなりません.本チュートリアルでは,これら両方の方法を使ってリアル・バスを生成してみます. 以下にしたがってリアル・バスとその要素信号を生成してみましょう.

1. 信号名が選択されていない状態にします(波形描画部分でマウスをクリックして信号選択を解除する)

- 2. Add Bus ボタンを左マウス・クリックして Add Bus ダイアログ・ボックスを開きます.
- 3. Name ボックスに"data"と入力します.要素信号の名前はバス名+信号番号の形式でつけられます.
- 4. Start(LSB)エディット・ボックスに0を入力します.これはバスの最小位ビットをあらわします.
- 5. End(MSB)エディット・ボックスに1を入力します.これはバスの最上位ビットをあらわします.
- 6. Hide member signals チェック・ボックスにはチェックはつけないで,要素信号を表示させてみます.
- 7. Ok ボタンをクリックしてバスを生成します.信号が3つ生成されたはずです(それぞれ, data (バス),
- 8. data0 そして data1(バスを構成する要素信号)).もし要素信号が表示されない場合は,[View]-[Show
- Hidden Signals]メニューを使って非表示モードを解除してください. ここまでの作業結果を図2.12 に示します.



図2.12 リアル・バスの生成

9. つぎに,バス信号 data 上に high と low を 5 つ描きます.すると要素信号は,バス信号 data に設定され た値にしたがって自動的に描かれることが分かります.

1.024ns 768.0ps	Ons , 20ns , 40ns , 60ns , 80ns , 100ns , 120
SIGO	
SIG1	
SIG2	
TIMEeqn	
VirtualBus	ABAB \ E389 \ 34C8 \ valid data
data0	
data1	
data	3 (0 (3 (0 (3)

図2.13 バス・データ描画の例

- 10. バス信号 data の最初のセグメントで左マウス・クリックして選択します(選択されたことを示す枠がセ グメントを囲む)
- 11. Hex ボタンを左マウス・クリックして Edit Bus ダイアログを開きます.
- 12. Hex エディット・ボックスに 0 を入力します.
- 13. Alt+N キーを押して次のセグメントに移動します.ここで要素信号が正しく再描画したことを確認します(なお,赤色で表示される遷移マーカーについては後述).
- 14. 赤色で表示される遷移マーカーは,バスの編集を行う間,要素信号のすべてのエッジ情報を保存します.
- 15. つぎに他の四つのセグメントをそれぞれ,1,2,3,0に編集します(図2.13).

17.15ns 10.75ns	Dns 20ns 40ns 60ns 80ns 100ns 120ns
SIGO	
SIG1	
SIG2	
TIMEeqn	
VirtualBus	ABAB X E389 X 34C8 X valid data
data0	
data1	
data	
図2.14 バス・	データの変更例

16. 最後に[Edit]-[Clear Red Events]メニューを起動して遷移マーカーを消去します(図2.15).

0.000ps -6.400n	Ons 20ns 40ns 60ns
data0	
data1	
data	

図2.15 遣移マーカーを消去したようす

つぎに既存の信号からリアル・バスを作成してみましょう.

リアル・バスを作成する他の方法としてダイヤグラム内に描かれた既存の信号を使うことが挙げられます. これは,LSBに相当する信号から MSB に相当する信号を順に選択した後,Add Bus ボタンをクリックする ことで行われます.

次の例で, data バスの要素信号を反転したようなバスを作成してみましょう.

1. 信号 data1 の名前を左マウス・クリックします.これはこれから作成するバスの LSB となります.

2. 信号 data0 の名前を左マウス・クリックします.これはこれから作成するバスの MSB となります.

3. Add Bus ボタンをクリックします.

以上で新規バスの BUS0 がダイヤグラム・ウィンドウに追加されます. なお,今回は New Bus ダイアログ が開きません.これは選択された信号から自動的にバスが作成されるからです.

また, バス BUS0 と data は MSB と LSB が逆転していることに注意してください(図2.16).

33.54ns <mark>-84.48n</mark> s	Ons 20ns 40ns 60ns
data0	
data1	
BUSO	
data	

図2.16 既存信号から作成したバス BUS0

リアル・バスは多くの機能を持っています.詳細についてはマニュアルまたはオンライン・ヘルプの第3 章を参照してください.リアル・バスを使ってダイヤグラムを作成する場合,大規模なダイヤグラムを作成 する前にマニュアル(オンライン・ヘルプ)の第3章を参照して,align,bind そして expand 機能を習得してく ださい.

3) より高度なパラメータ技法

本節では,個々のあるいはダイヤグラム全体にわたる,属性とユーザ定義文字列を使ったパラメータの内容の編集,また,パラメータ付きの信号遷移のうちどれを変更するか,および垂直に配置されたパラメータの位置調節について学んでいきます.

これらのテクニックによってタイミング・ダイヤグラムの見栄えや表示する情報を正確に制御できます.

まず,図3.1に示すダイヤグラムを描きます(delay D0 = [20,30] comment = 74LS04 delay, setup S0 = [10,]).

87.81ns 43.01ns	Ons 20ns 40ns	60ns	80ns	100ns
	D0+		►SO-►	
SIG0				
SIG1				
SIG2	< drop to thi	s edge		

図 3.1 本節で使うタイミング・ダイヤグラム

3.a) 個々のパラメータ表示

デフォルトでは、ダイヤグラム・ウィンドウ内に表示されるパラメータ・テキストは[Options]-[Drawing Preferences]ダイアログ・ボックスで制御されます.しかし、Parameter Properties ダイアログ・ボックスを 使って、パラメータに特定の属性やユーザ定義文字列を表示させることもできます.Parameters Properties ダイアログは現在編集中のパラメータの種類を表示するために表示内容を変更することができます. ここでは、遅延特性またはセットアップ特性の編集に Parameter Properties ダイアログを呼び出すことにします.以下にしたがって、パラメータ D0 と S0 のテキスト・ラベルを編集してみましょう.

- 1. 遅延ラベル D0 を左マウス・ダブル・クリックします.すると Parameter Properties ダイアログ・ボック スが開きます.
- Display Label ドロップ・ダウン・リスト・ボックスを使って min/max Value 表示を選択します.すると, このパラメータのラベルは D0 という名前のかわりに[20,30]という最小/最大値を表示します(図3.2).

🙅 WaveFormer Pro - test.tim	m			_ 🗆 ×	Delay Properties 🗙
<u>F</u> ile E <u>x</u> port <u>E</u> dit <u>D</u> raw	<u>B</u> us <u>L</u> ibrarie	s <u>V</u> iew <u>O</u> ptions <u>R</u> epo	rt <u>W</u> indow <u>H</u> elp		, Parameter Properties
💁 Diagram				_ 🗆 ×	
Add Signal Add Bus Add Clock Add Spacer	Delay Setup Sam Hold Text Mar		AL INVal WHI WLO HEX	Zoom In Zoom Out	Name D0
43.01ns -1.792ns On:	is	140ns	60ns 80ns	100ns 11	Min 20
		30]	S0-+		Max 30 30
SIG1					Comment 74LS04 delay
SIG2 < drop to this edge					☐ Hide Row ☐ Change all instances
<u>، با الم</u>				- -	Instance: from SIG1(10) to SIGD(30)
Parameter				<u>_ ×</u>	Display Label min/max Value 🗸
DO					Global Default
name mi	in max	margin	comment		custom [^*] Name min/max Value
D0 20) 30	na (delay)	74LSO4 delay	-	min/max Formula 15 Umin/max Margin
S0 10)	0			
				•	OK XCancel Apply ? Help
Report - C.¥w 🗗 🗖 🗙	1				

図3.2 遅延パラメータを最小/最大値表示に変更した例

3. Next ボタンをクリックして Signal Properties ダイアログにセットアップ S0 の情報を表示させます.

- 4. Display Label ドロップ・ダウン・リスト・ボックスを使って min/max Margin 表示を選択します.
- 5. このラベルはセットアップ時間のマージンを表示します.これは,規定のセットアップまたはホールド 時間が保持されるための余裕時間のことです(図3.3).

54.78	ns <mark>= 40, 45</mark> ns	0ns	20ns	40ns	60ns		100ns
			—[20,30]—			┣-[0,]-●	
SIGO						\square	
SIG1							
SIG2				< drop to this	edge		
2 3.3	セットアッ	プの余裕	時間を表	示した例			

6. つぎに Display Label ドロップ・ダウン・リスト・ボックスを使って Distance 表示を選択します.このと き,ラベルは信号遷移間の最小/最大時間を示します(図3.4).



3.b) パラメータの表示内容のカスタマイズ

パラメータ・ラベルは一つ以上の属性表示や, Parameter Properties ダイアログ・ボックス内の Custom の 項目を編集してユーザ定義の文字列や属性を表示させるようにできます.ユーザ定義文字列を表示させる場 合,あるキャラクタの列を属性制御コードとして用いて,任意の表示文字列を定義します.そしてそのよう なキャラクタの列がある場合,それはパラメータの属性に置き換えられます.属性制御コードは%で始まり, -つまたは二つの文字が続きます.

属性制御コードを以下に示します.

名前 = %n 最小値 = %mv 最小値(公式) = %mf 最小マージン = %mm 最小間隔 = %md 注釈 = %c	最大値 = % Mv 最大値(公式) = %Mf 最大マージン = % Mm 最大間隔 = %Md
注釈 = %c	

デフォルトでは, Custom の項目にはすべての属性制御コードを含んでいるので, これらをすべて覚える 必要はありません.

- Parameter Properties の Previous ボタンをクリックして遅延 D0 の情報を表示します. 1.
- Display Label ドロップ・ダウン・リスト・ボックスを使って Custom display を選択します. 2.
- デフォルトの属性制御コードの列は以下のようになっているはずです. 3.

%n v= %mv,%Mv f=%mf,%Mf m=%mm, %Mm d=%md,%Md %c

ここで、パラメータ・ラベルはすべての属性を表示するようになります(図3.5).

98.56ns =15.62ns	Ons 20ns	(140ns 60ns	
			► <10,10>
		→D0 v=20,30 f=20,30 m=	=, d=20,\$0 74LSO4 delay
SIG0			
SIG1			
SIG2		< drop to this edge	
図25 フーザ空き	意の尾州主三の例		

サ正義の禹性衣示の例

デフォルトの属性制御コードはごちゃごちゃしたように見えますが,すべての制御コードを含んでい るのでそれらすべてを覚える必要がなく、独自のフォーマットのラベルを作るにはデフォルトの制御 コードを編集するだけです.

つぎにパラメータ名と最小/最大値のみを表示させてみましょう.以下に示すように制御コードを編集 5. します.

%n value = %mv.%Mv

Apply ボタンをクリックすると, ラベルは "D0 value = 20,30"という表示になります(図 3.6). 6.



なお,制御コードは属性に置き換えられますが,コンマや"value ="といった文字列は入力したとおりに表 示されることに注意してください.

3.c) グローバル・パラメータ表示

パラメータ・ラベルを最初の状態に戻してください.

- Display Label ドロップ・ダウン・リスト・ボックスを使って, D0 と S0 を Global Default に戻します. 1.
- OK ボタンをクリックしてダイアログ・ボックスを閉じます. 2.

新しい属性を持つパラメータを用意して共通に使う簡単な方法は , Global Default パラメータ・ラベルに新 しい属性の組を登録するようします.

以下にしたがってデフォルト・パラメータ・ラベルを変更してみましょう.

- 1. [Options]-[Drawing Preferences]メニューを選択して Drawing Preferences ダイアログ・ボックスを開きま す. Drawing Preferences ダイアログ・ボックスの下半分は,ダイヤグラム上で使われるすべてのパラメ ータの Global Default ラベルの内容を設定する, display preference ドロップ・ダウン・コンボ・ボックス で、"Name"は既定値です.
- 2. display preference コンボ・ボックスをクリックして表示可能な属性の一覧を見ます(図3.7).

Options Report Window Help	Drawing Preferences		
Display Unit [ns] Base Time Unit [ps] Rich Text Support Status Bar Messages Design Preferences Drawing Preferences Simulation Preferences Grid Settings Test Bench Preferences Parameter Window Preferences <u>T</u> ext/Color Preferences	Signal Display Image: signal color line thickness (pixels) Edge: Display Image: signal color Edge: Display Image: signal color Image: signal color Edge: Display Image: signal color <		
	Default setting for Parameter Display Preference display preference Name Mame min/max Value min/max Formula min/max Margin		

図 3.7 display preference コンボ・ボックスの内容

- 3. "min/max Value"をクリックします(これは上から二番目に位置する).これにより, Global Default ラベルの内容が名前表示から最小/最大値表示に変わります.
- 4. OK ボタンをクリックしてダイアログ・ボックスを閉じます.これにより,遅延およびセットアップの ラベルは最小/最大値を表示します.
- 5. 値やラジオ・ボタンをいろいろに変えて,その効果を確かめてください(図3.8).
- 6. いろいろ試したら, Drawing Preferences ダイアログ・ボックスの Default ボタンをクリックして,オプ ションを既定値に戻してください.そして OK ボタンをクリックしてダイアログを閉じます.

🙅 WaveFormer Pro - te:	st.tim			<u>_ ×</u>	3	Drawing Preferences
<u>F</u> ile Export <u>E</u> dit <u>D</u>	raw <u>B</u> us	<u>L</u> ibraries <u>V</u>	iew <u>O</u> ptions <u>R</u> eport	<u>W</u> indow <u>H</u> elp	_	Sizzal Diselau
🔐 Diagram						Sigilal Display
Add Signal Add Bus Add Clock Add Spacer	Delay Se Hold Te	etup Sample ext Marker	HIĜH 🔍 TRI VAI	L INVal WHI WLO HEX Zoom In Zoom Out		✓ separators between signals change signal color
48.64ns -26.88ns	Ons	20ns	40ns 60	Ons 80ns 100ns 1:		line thickness (pixels) 1
				x=30 🕨 🛶 S0 min=10,max= 📥		
SIGO						Edge Display 🖉 Truncate trailing zeros
SIG1						🔷 sloped 🔉 📮 🗔 Hide small parameter labels
SIG2			< drop to this edge		₩	🕐 straight 🖉 🖉 Display bus in Hex (else Bin)
						☐ Hide signals on bus merge
•	•					Default setting for Parameter Display Preference
Parameter					R	display preference custom string
DO					╟	Custom %n min=%mv.max=%Mv
name	min	max	margin	comment		
DO	20	30	na (delay)	74LSO4 delay		V OK XCancel Defaults
SO	10		0			
				•		
🧱 Report - C:¥w 🗗 🗖	IX					

図3.8 Global Default の内容を Custom(名前 min=最小値, max=最大値)とし, エッジを垂直表示にした例

3.d) ドラッグ&ドロップ パラメータの終点

パラメータが作成されると,それは二つの信号のエッジに関連付けされます.パラメータに関連付けられた信号のエッジは,パラメータの一方の終点を別の信号のエッジにドラッグ&ドロップすることで別の信号に変更できます.

以下にしたがってパラメータの終了点をドラッグ&ドロップしてみましょう.

 遅延パラメータ D0 を左マウス・クリックして選択します.選択されたパラメータは両側にハンドル・ ボックスのついた枠で囲まれます(図 3.9).



- 2. マウス・カーソルを選択ボックス右側のハンドル・ボックスに置きます.
- マウス・ボタンを押し,移動先の信号のエッジがハイライト表示されるようにマウスをドラッグします.
 また,パラメータの垂直の表示位置を変更したい場合は,ハンドル・ボックスではなくパラメータの中
- 央をクリックして任意の位置までドラッグします. 5. マウス・ボタンを離せば,遅延パラメータ D0の終点はハイライト表示されたエッジに移動または,パ ラメータ表示位置はドラッグ先の垂直位置に移動します(図3.10,図3.11).



遅延パラメータ D0 やセットアップ・パラメータ S0 の終点をいろいろと動かしてみてください. なお,遅延パラメータは信号のエッジが規定分だけ遅延を持つように自動的に設定するので,終点を変更 するとダイヤグラムは自動的に再描画されます.

一通り試したら,図3.1のようにダイヤグラムを戻してください.

3.e) パラメータの表示位置の調節

通常, WaveFormer Pro はパラメータの垂直位置を最適化しますが,任意の高さに配置することもできます. 以下にしたがってパラメータの配置位置を変更してみましょう.

- 1. 遅延パラメータ D0 の中央をクリックして,なるべく上部にドラッグします.
- マウス・ボタンを離すと新しい位置にパラメータが配置されます.ここで,移動されたパラメータは, ダイヤグラムに新規パラメータが追加されてもその位置を変えることはありません.
- 3. セットアップ・パラメータ SO の中央をクリックして,信号 SIG1 と同じ高さまでドラッグします.
- 4. マウス・ボタンを離します.するとパラメータ S0 は信号 SIG0 と SIG1 の間に配置されます(図3.12).



図3.12 パラメータの表示位置の変更例

パラメータを手動で移動すると、それはユーザ配置のパラメータとみなされ、再び手動で移動しない限り その位置は変化しません、パラメータの配置位置を再び WaveFormer Pro に決定させるにはつぎのようにし ます、

- 1. 遅延パラメータ D0 をダブル・クリックして Parameter Properties ダイアログ・ボックスを開きます.
- 2. User Placed チェック・ボックスのチェックをはずします(図 3.13).
- 3. OK ボタンをクリックしてダイアログ・ボックスを閉じます.
- 4. 以上の操作をセットアップ・パラメータについて繰り返します.

Delay Properties X
Parameter Properties
Name D0
Min 20
Max 30 30
Comment 74LS04 delay
☐ Hide Row ☐ Change all instances
Instance: from SIG1(10) to SIGD(30)
Display Label Global Default
custom %n v=%mv,%Mv f= <mark>%mi,%ivitm=%mm</mark>
🗆 Hide 🖳 User Placed
Previous Next
OK XCancel Apply YHelp
図3.13 パラメータのユーザ配置モード の解除

以上でチュートリアルは終了です.本チュートリアルに ついてのご質問などは,小社のデザインウェーブ企画室 までお願いいたします.

WaveFormer Pro , TestBencher Pro そして SynaptiCAD は SynaptiCAD Inc.のトレード・マークです .

CQ 出版株式会社 デザインウェーブ企画室 〒170-8461 東京都豊島区巣鴨 1-14-2 CQ ビル 4F TEL: 03-5395-2126 FAX: 03-5395-2127 E-mail: <u>edasupport@cqpub.co.jp</u> web: http://www.cqpub.co.jp/