

第7章

PLLを安定動作させる ループ・フィルタの考え方

～位相遅れ補償をもつ特殊なロー・パス・フィルタを使う理由～

本章から第10章までは、ループ・フィルタの設計法を順序立てて解説します。適切なループ・フィルタを設計できれば、位相雑音やスプリアス特性に優れ、高速で安定したPLLが得られます。本章ではその前段階として、負帰還回路であるPLL回路を安定に動作させるために必要なことを理解します。

そして、PLLの性能向上のために、先人達が工夫し考案したループ・フィルタの形について、順を追って解説します。

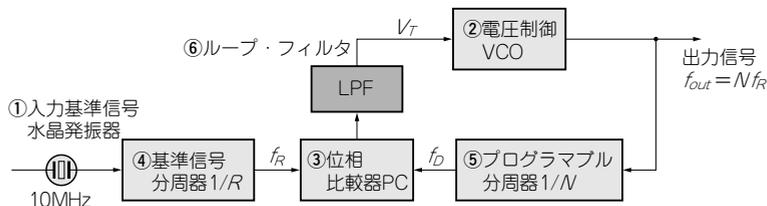
特性の鍵をにぎるループ・フィルタ

PLL周波数シンセサイザのブロック図を図7-1に示します。本書では内部動作を理解するために、あえて各ブロックとも、ディスクリート素子で設計してきました。あとはループ・フィルタの設計を残すだけです。

基本的にはロー・パス・フィルタですから、今まで設計してきた回路に比べて簡単に思えますが、実はPLLを設計するなかで最も難解で、一筋縄ではいかない部

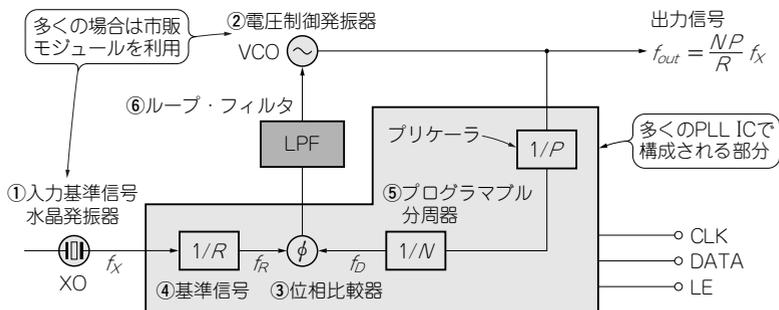
【図7-1】高周波PLLシンセサイザのブロック図

第2章～第6章で基準信号発振器、VCO、位相比較器、基準信号分周器、プログラマブル分周器を解説してきた。あとはループ・フィルタを残すのみ



【図7-2】 現実的なPLL周波数シンセサイザのブロック図

基準信号やVCOは市販モジュールを、位相比較器や分周器はワンチップになったICを使う



分でもあります。

高周波やアナログ設計に馴れた技術者でも、PLLの設計となるとしきいが高く感じるのは、このループ・フィルタの設計にあります。

● モジュールやICを利用してフィルタ設計は必須

実際にPLL周波数シンセサイザを組む場合は、図7-2のように、PLL用ICとVCOモジュールで作るのが現実的です。

高性能なPLL ICやVCOモジュールを組み合わせれば、思いどおりのPLL周波数シンセサイザができるかというと、そうはいきません。図7-2のブロック図には、IC化やモジュール化がされていないループ・フィルタというブロックがあります。このループ・フィルタの設計が適当でなければ、どんなに高性能なICを使っても、目的の特性は得られません。

LPFの選択で結果オーライ主義にすぎると、経時や量産によるトラブルが発生したときに対処できなくなります。私も、動けば良い…で定数を選定した後でトラブルに遭遇し、頭をかかえた経験があります。

ループ・フィルタの設計が悪いとどうなるか？

ループ・フィルタの設計が悪いと、具体的にどのようなことが起きるのでしょうか。それはループ・フィルタを設計するとき検討が必要な内容でもあるはずで

第8章

良好な過渡特性を得る
ループ・フィルタの考え方

～出力周波数を切り替えたときの応答を高速化するには～



PLL回路の特性はループ・フィルタの設計でいろいろと影響を受けます。位相雑音特性はもちろん、周波数を切り替えたときの過渡応答特性も大きく変わります。

本章では、PLL周波数シンセサイザの時間軸での応答特性がなぜ重要となるのかを解説し、時間軸の振動特性を表現する減衰係数^{ゼータ}と、固有周波数 ω_D などの意味を解説します。

次に、PLLの過渡応答特性を数式で求める手順を示し、目的の周波数に早く収束するためには、どのようなループ・フィルタの設計が必要になるかを解説します。



PLL周波数シンセサイザは、システムで必要とするさまざまな周波数を正確に得るために使われます。マイコンのクロックのように一定の周波数を出し続ける用途もあれば、無線LANのように頻繁に周波数を切り替える用途もあります。

無線LANや第三代携帯電話、デジタル放送など、ここ10年ほどの間に出てきているデジタル化された通信/放送では、周波数を高速に切り替えるPLL周波数シンセサイザの要求が強くなっています。

周波数を頻繁に切り替える用途では、周波数特性では把握しにくい時間軸での応答特性が問題になってきます。

周波数を切り替えてもすぐには目的の周波数にならない

私が仕事を始めたころのPLL周波数シンセサイザは、安定に動かすだけで要求仕様をほとんど満足できました。高精度な周波数が得られれば十分だったからです。

しかし最近のPLL周波数シンセサイザでは、適切なスペクトラム純度、つまり

スプリアスや位相雑音が小さいことに対する要求に加えて、時間軸で高速に応答することへの要求も厳しくなっています。

● 周波数を切り替えるには分周数 N を変える

図8-1は、PLL周波数シンセサイザのモデル図です。

基準周波数 $f_R = 1$ MHzで動作中に、分周器の分周数 $N = 250 \rightarrow 300$ に変更します。PLL負帰還が構成されていれば、この変更により出力周波数 f_{out} は250 MHz \rightarrow 300 MHzに変化します。

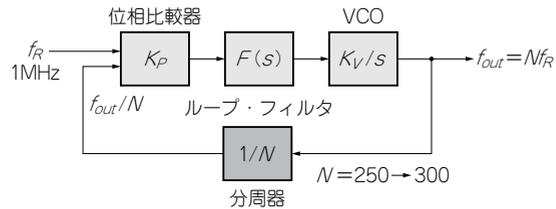
● 一瞬で周波数が切り替わるのが理想だが…

図8-2に、出力周波数が切り替わるときの様子を横軸を時間、縦軸を周波数として表しました。

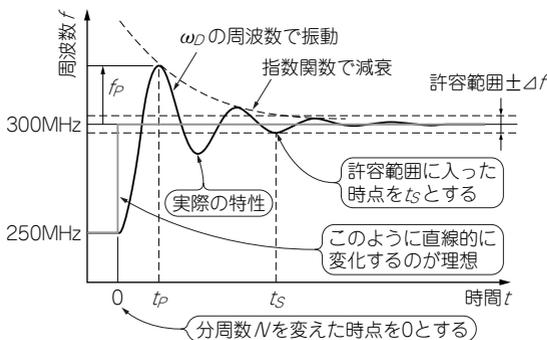
PLLはフィードバック制御の一種です。このような帰還回路の理想は、目標値が変化したとき、出力がその値にすぐに追従することです。

PLL周波数シンセサイザでも、出力周波数を変更するために分周器の N の値を

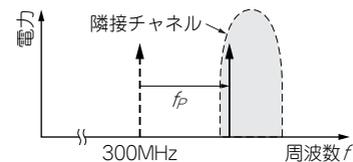
[図8-1] PLL周波数シンセサイザの出力周波数を変える
分周器の分周数 N を変えれば出力周波数が変わる



[図8-2] 理想的な応答特性と現実の応答特性の違い
現実の応答特性はリングングがあり、目標値になるまで時間がかかる



[図8-3] オーバershoot周波数 f_p が大きいと問題がある
ほかの周波数で伝送している信号を妨害してしまうかもしれない



第9章

設計条件から
ループ・フィルタの定数を決める～カットオフ周波数 f_c と位相余裕 ϕ_c を与えてフィルタ定数を算出する～

近年のPLL設計においては周波数精度だけでなく、位相雑音特性や周波数の切り替えスピード、そしてスプリアス特性が重要視されます。

これらを満足するためには、負帰還ループのカットオフ周波数 f_c と位相余裕 ϕ_c を自由選べて、かつ高域での減衰量も十分に取れる必要があります。第7章の後半で解説した3次形PLLが必要です。

本章では、そのような特性の良いPLLを自在に設計する方法を解説します。そして、具体的なループ・フィルタ定数の求め方をいくつかの設計例から示します。



現在は、用途に合わせてさまざまなPLL用ICが用意されています。決まった仕様であれば、ループ・フィルタ定数はICメーカーの推奨値で問題ないでしょう。

しかし、VCOなど使用する部品が推奨品でなかったり、仕様が異なる…出力周波数や基準周波数などが異なったりするのであれば、ループ・フィルタを自分で設計しなければなりません。

さらに、位相雑音特性やスプリアス特性で最高の性能を求めるなら、負帰還ループのカットオフ周波数を適切に設定するために、ループ・フィルタの定数を自分で決める必要があります。

● フィルタ定数を求める式を導く

本章では、必要な仕様やフィルタ以外の回路ブロックの条件から、フィルタの定数を求める式を導きます。

フィルタ以外の回路ブロックの条件として、VCOの変換ゲインを K_V 、位相比較器のゲインを K_P 、分周数を N とします。それらの値に加えて、負帰還ループのカットオフ周波数 f_c と位相余裕 ϕ_c の値を与えることで、ループ・フィルタの各定数

を算出できる式を導きます。

要求された f_C と ϕ_C の値からループ・フィルタ定数を算出できるので大変便利です。

どのようなフィルタが必要なのか

● PLLという負帰還制御が安定な条件

PLLの安定条件は、普通のOPアンプなどの負帰還の安定条件と同じで、負帰還ループの一巡ゲインが0 dBになる周波数で位相余裕が 45° 以上あれば安定です。

PLLのループ・フィルタの設計が難しいのは、ループ・フィルタ以外の部分です。すでに位相が 90° 回ってしまっているためです。単純な負帰還回路であれば、位相余裕を 45° 確保するとしても $180^\circ - 45^\circ = 135^\circ$ の位相遅れが許されるはずですが、それがPLLのループ・フィルタになると、 $90^\circ - 45^\circ = 45^\circ$ しか許されません。

単純な1次のCRロー・パス・フィルタでは、 -6 dB/octで減衰する帯域で位相遅れが 90° あるので、設定できるカットオフ周波数や位相余裕がかなり限られます。そこで、周波数特性はロー・パス・フィルタに近く、かつ位相が戻る特性をもつようなフィルタを使い、位相の戻る周波数を合わせ込む必要があります。

● PLLの伝達関数が3次になるループ・フィルタが必要

古典的なPLLの設計手法では、PLLを2次形とするラグ・リード・フィルタを主に用いていました。しかし、応答特性と位相雑音特性、さらにはスプリアス特性を最適化する必要のある近代のPLLは、3次形ループ以上で設計します。

PLLの伝達特性を3次形以上とすれば、カットオフ周波数 f_C と位相余裕 ϕ_C を独立して設定できるのに加えて、フィルタの切れを増すことができます。2次形PLLより高域での減衰量を確保できるので、リファレンスもれスプリアスも小さくできます。

● 完全積分にするためアクティブ・フィルタを使う

図9-1に、第7章で解説したパッシブ・フィルタによるラグ・リード・フィルタ+高域減衰特性を示します。0 Hzでのゲインは0 dBです。ループ・フィルタ以外の合成ゲインが0 dBとなる周波数を f_N とすると、パッシブ・フィルタではループのカットオフ周波数 f_C を f_N 以上にできません。

f_N より f_C を高くする…広帯域なPLLを構成する方法として、第7章ではアクティブ・フィルタを使う方法を紹介しました。

図9-2には、アクティブ・フィルタで構成したラグ・リード・フィルタ+高域

第10章

良好な位相雑音特性を得る
ループ・フィルタの設計法

～PLL出力の位相雑音を最小にするループ・フィルタ定数を決める～



本章では、PLLが出力する位相雑音を最小にする方法を考えていきます。第9章で、PLLのカットオフ周波数 f_C と位相余裕 ϕ_C が与えられたら、その特性を作るループ・フィルタ定数を算出できるようになりました。

そこで本章では、PLLが出力する位相雑音を最小にするためには、カットオフ周波数 f_C と位相余裕 ϕ_C をどの値に決めればよいのかを解説します。



PLLの設計では、負帰還ループの一巡ゲインが1になるカットオフ周波数 f_C と、 f_C での位相余裕 ϕ_C の決め方が重要です。これを誤ると、位相雑音特性や過度応答特性などが悪化します。

本章では、計算でPLL出力の位相雑音を予測する方法について解説します。表計算ソフトウェアExcelの助けを借ります。

PLLで主に位相雑音の発生源となるのは基準信号源とVCOです。この二つから発生するSSB位相雑音がわかると、カットオフ周波数 f_C で位相余裕 ϕ_C とするPLLが出力するSSB位相雑音を予測できます。

PLLの位相余裕 ϕ_C と位相雑音の関係を定量的に求める

位相余裕 ϕ_C によってカットオフ周波数 f_C 近辺の位相雑音特性が変わります。位相余裕が小さいと位相雑音が盛り上がります。

位相余裕による盛り上がりの有無を予測して、実験で確かめてみましょう。

まず、負帰還ループのカットオフ周波数 f_C 近辺における位相雑音の盛り上がりを計算する方法を解説します。

① f_c 近辺での位相雑音の盛り上がりを予測する閉ループ・モジュラス M

PLL回路を負帰還増幅回路のように見れば、PLLは基準信号源の位相雑音を閉ループ伝達関数のぶん増幅することがわかると思います。伝達関数にピークがあれば、位相雑音特性もピークをもちます。

周波数特性カーブ(盛り上がりの有無)だけに注目できるよう、閉ループ伝達関数を分周数 N で正規化した値を使いましょう。閉ループ・モジュラス(closed loop modulus)と呼ばれる値で、通常 M を使って表します。閉ループ・モジュラス M の周波数特性に盛り上がりがあれば、位相雑音も盛り上がります。

図10-1にPLLのブロック線図を示します。閉ループ伝達関数 $P_{close}(s)$ は、前向きゲイン $G(s)$ と開ループ伝達関数 $P_{open}(s)$ を使って、次式で表せました。

$$P_{close}(s) = \frac{G(s)}{1 + P_{open}(s)} \dots\dots\dots (10-1)$$

$P_{open}(s)$ は帰還回路の伝達関数 $H(s)$ を使って次式のように表すこともできました。

$$P_{open}(s) = G(s)H(s) \dots\dots\dots (10-2)$$

よって式(10-1)は次のようにも表現できます。

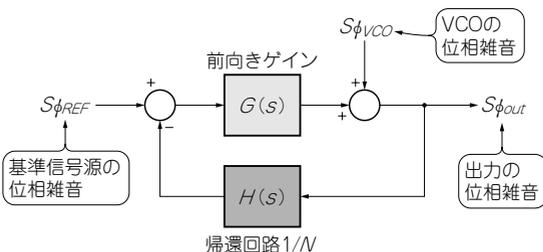
$$P_{close}(s) = \frac{G(s)}{1 + G(s)H(s)} \dots\dots\dots (10-3)$$

式(10-3)を分周数 N で割った値が閉ループ・モジュラス M です。PLLでは $H(s) = 1/N$ であることから、

$$M = \frac{G(s)/N}{1 + G(s)H(s)} = \frac{G(s)H(s)}{1 + G(s)H(s)} \dots\dots\dots (10-4)$$

[図10-1] 位相雑音の周波数特性を考えるためにPLLをブロック線図で表す

基準信号源の位相雑音に対する周波数特性カーブを示す閉ループ・モジュラス M と、VCOの位相雑音に対する周波数特性カーブを示すノイズ・リダクション G_{NR} の二つの値を導入する



閉ループ伝達関数 $P_{close}(s)$ は、

$$P_{close}(s) = \frac{G(s)}{1 + G(s)H(s)}$$
 閉ループ・モジュラス M は、

$$M = \frac{G(s)H(s)}{1 + G(s)H(s)}$$
 ノイズ・リダクション G_{NR} は、

$$G_{NR} = \frac{1}{1 + G(s)H(s)}$$

$$S\phi_{out} = S\phi_{ref} \left| \frac{G(s)}{1 + G(s)H(s)} \right|^2 + S\phi_{VCO} \left| \frac{1}{1 + G(s)H(s)} \right|^2$$



第 11 章

PLL回路の応用

～PLLによる変復調とPLL技術の応用例～



PLL周波数シンセサイザが得意とすることの一つに、安定した角度変調波（PM波とFM波）を容易に出力できる点が挙げられます。身近な例としては、FMトランスミッタがあります。PLLによって安定した搬送波を作り出し（すなわち選局して）、これにFM変調をかけて信号を送信します。

PLL周波数シンセサイザを使って安定した角度変調波を生み出すにはどのようにしたらよいかを解説します。

角度変調以外のPLL回路の応用もいくつか紹介します。



変調のしくみと角度変調

変調とは情報信号（例えば音声信号）に比例した変化を搬送波信号（キャリア）に加えることです。では、どのようにすれば情報信号に比例した変化を搬送波信号に加えることができるでしょうか？

● 円運動から正弦波の発生を考える

搬送波の基本波形は正弦波です。図11-1には円運動による正弦波の発生を图示しました。点Pは、角速度 ω [rad/s]で反時計方向に半径 A の円運動をしています。

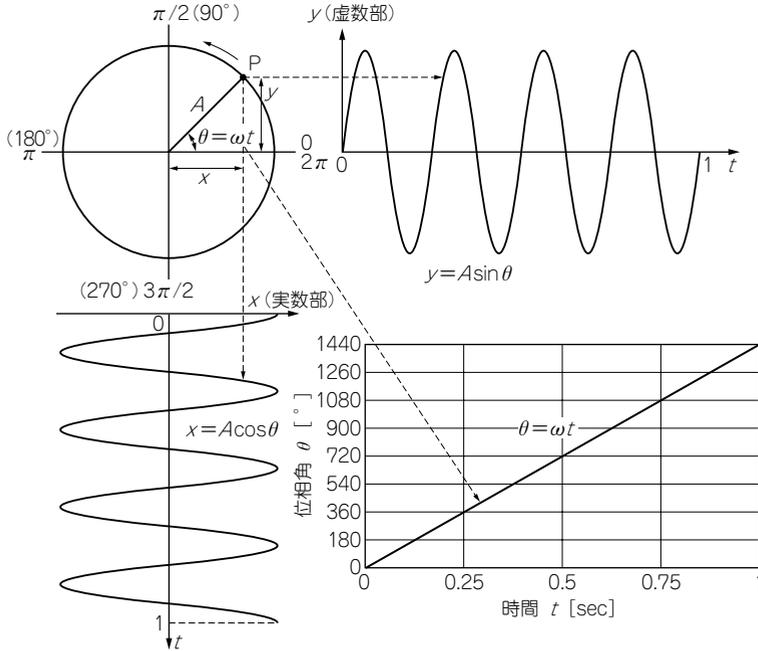
例えば、角度 $\theta = 0^\circ$ のとき水平投影 x は A 、垂直投影 y は 0 です。角度 $\theta = 90^\circ$ ($\pi/2$ rad)のとき水平投影 x は 0 、垂直投影 y は A です。

1周 360° は 2π radです。1秒当たりの回転角は、1回転当たりの角度と1秒当たりの回転数の積 $2\pi f$ です。したがって時間 t に掃引する角度は $\theta = 2\pi ft$ です。

正弦波の基本式は次式で表せます。

- ベクトルの実数部

【図 11-1】 正弦波を回転ベクトルでできていると考える
 実際には何かが回転しているわけではないが、このように考えると都合が良い



$$x = A \cos \theta = A \cos(\omega t) = A \cos(2\pi f t) \quad \dots\dots\dots (11-1)$$

● ベクトルの虚数部

$$y = A \sin \theta = A \sin(\omega t) = A \sin(2\pi f t) \quad \dots\dots\dots (11-2)$$

正弦波は微分しても積分(±90°)しても、正弦波のままです。

● 変調…情報信号を搬送波に加える方法

情報信号に比例した変化を搬送波(正弦波)に与える方法を考えましょう。

正弦波の基本式から実数部を考えた式(11-1)を例にとります。この正弦波 $A \cos \theta$ は、振幅 A と角度 θ の二つを可変できることがわかります。振幅 A を情報に応じて変化させると振幅変調(AM: Amplitude Modulation)となり、角度 θ を情報に応じて変化させると角度変調(Angle Modulation)となります。

PLLを用いると、後者の角度変調波を安定して得られます。

