

第7章

OP アンプ回路の設計

OP アンプは、アナログ回路で中心的な役割を果たす重要な回路です。この章ではまず、最も基本的な2段構成CMOS OPアンプについて解説した後に、他方式のCMOS OPアンプについて説明をします。

7-1 2段構成のCMOS OPアンプ

● 差動増幅+ソース接地が基本

最も基本的なCMOS OPアンプの構成を図7-1に示します。差動増幅回路とソース接地回路を組み合わせた2段増幅OPアンプ(2-stage op-amp)です。差動増幅回路がOPアンプの入力段(初段)として働き、2段めのソース接地回路は出力段を兼ねて動作します。

一般にOPアンプ内部に設計する差動増幅回路やソース接地回路の増幅度は、もちろん構成方法によって大きく異なりますが、低周波領域において数百倍～数

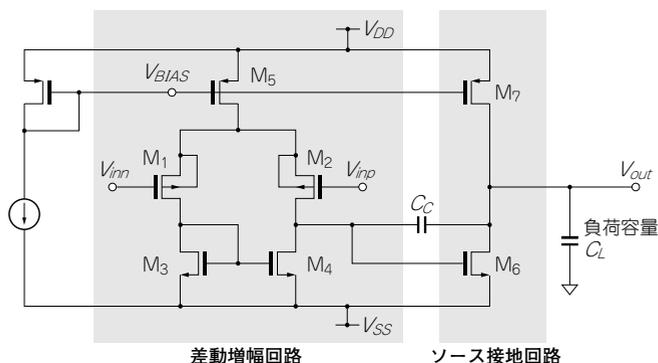


図7-1 基本的な2段構成のCMOS OPアンプ

千倍程度です。したがって、数万～数十万倍以上の増幅度を期待する汎用OPアンプでは、2段構成にするのが一般的です。キャパシタ C_c はOPアンプが安定に動作するために必要な位相補償を行います。

2段OPアンプの動作を理解するにあたり、まず位相補償について考えてみましょう。

図7-2に示す回路をご覧ください。図7-1から位相補償容量 C_c を取り除いた2段増幅回路です。ここで C_1 は初段の出力(端子A)における寄生容量成分を表します。 C_2 は出力端子における寄生容量と負荷容量 C_L の総和を表します。この回路の小信号等価回路を図7-3に示します。ここで R_1 は初段(差動増幅回路)の出力抵抗を、 R_2 は出力段の出力抵抗を、それぞれ表します。

$$R_1 = r_{o2} // r_{o4} = \frac{1}{g_{d2} + g_{d4}} \dots\dots\dots (7-1)$$

$$R_2 = r_{o6} // r_{o7} = \frac{1}{g_{d6} + g_{d7}} \dots\dots\dots (7-2)$$

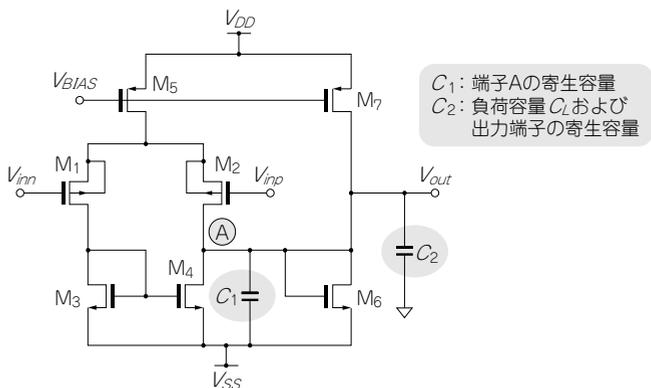


図7-2 図7-1の2段構成OPアンプから位相補償容量 C_c を取り除いた回路

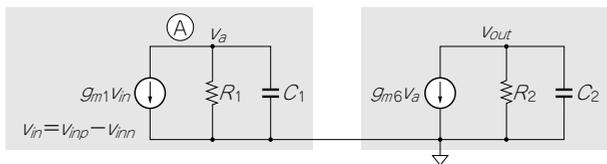


図7-3 2段構成OPアンプから位相補償容量 C_c を取り除いた回路の小信号等価回路

図7-3の小信号等価回路から式を立てると次のようになります。

$$g_{m1} \cdot v_{in} + (G_1 + sC_1) v_a = 0 \quad \dots\dots\dots (7-3)$$

$$g_{m6} \cdot v_a + (G_2 + sC_2) v_{out} = 0 \quad \dots\dots\dots (7-4)$$

ただし、 $v_{in} = v_{inp} - v_{inn}$ 、 $G_1 = 1/R_1$ 、 $G_2 = 1/R_2$ としています。これらの式を解くと、

$$\frac{v_{out}}{v_{in}} = g_{m1} g_{m6} R_1 R_2 \frac{1}{\left(1 - \frac{s}{\omega_{p1}}\right) \left(1 - \frac{s}{\omega_{p2}}\right)} \quad \dots\dots\dots (7-5)$$

$$\omega_{p1} = -\frac{1}{R_1 C_1} \quad \dots\dots\dots (7-6)$$

$$\omega_{p2} = -\frac{1}{R_2 C_2} \quad \dots\dots\dots (7-7)$$

として、電圧利得を求めることができます。ここで ω_{p1} 、 ω_{p2} は周波数特性の極点…ポールを示しており、低周波側のポールをファースト・ポール (first pole) またはドミナント・ポール (dominant pole) といい、高周波側のポールをセカンド・ポール (second pole) またはノンドミナント・ポール (non-dominant pole) といいいます。

● 位相補償がないと発振する

いま $|\omega_{p1}|$ に比べて $|\omega_{p2}|$ が大きいとして、この回路の周波数特性を図7-4に示します。二つのポールはユニティ・ゲイン周波数 (利得が1倍になる周波数) よりも低い周波数に位置しています。

ところでOPアンプは通常、負帰還をかけて使用します。しかし、位相が -180° のときの利得が1倍 (0 dB) 以上あると、OPアンプは発振してしまいます。別の表現をすると、ユニティ・ゲイン周波数における位相が 180° 以上遅れている (位相 ϕ は -180° よりもネガティブ、すなわち $\phi \leq -180^\circ$ を意味する) 場合は、回路は発振します。たとえユニティ・ゲイン周波数における位相の遅れが 180° ($\phi = -180^\circ$) に達していなくても、位相が 135° 以上遅れている ($\phi \leq -135^\circ$) 場合は、リングングが大きくなるなどの不具合が生じます。そこで、2段構成以上のOPアンプでは位相遅れを戻すための位相補償と呼ばれる回路が必要になります。

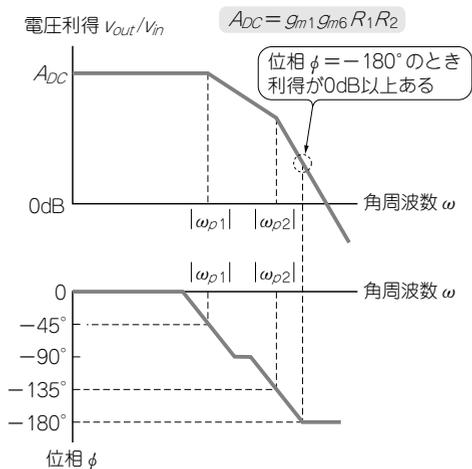


図7-4 2段構成OPアンプから位相補償容量 C_c を取り除いた回路の周波数特性

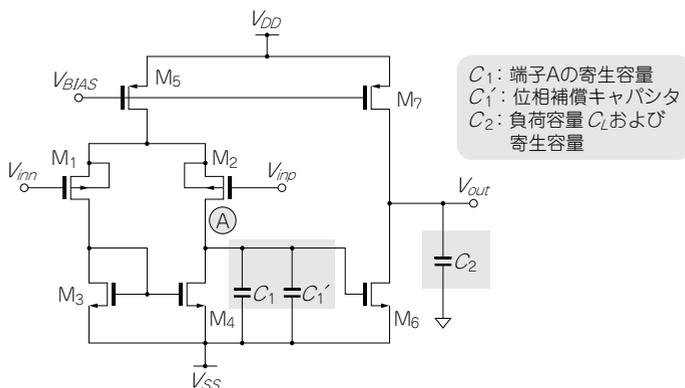


図7-5 キャパシタ C_1' を端子Aに付加した回路

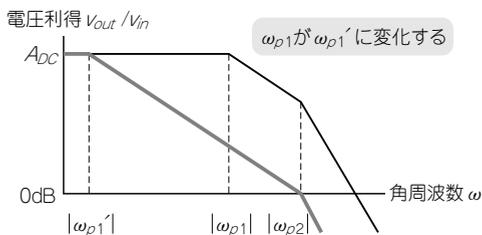


図7-6 図7-5の回路の周波数特性

図7-5をご覧ください。端子AとV_{SS}間にキャパシタC₁'を付加しました。このときファースト・ポールは、

$$\omega_{p1}' = -\frac{1}{R_1(C_1 + C_1')} \dots\dots\dots (7-8)$$

となります。絶対値で比較すると、キャパシタC₁'を加える前に比べてポールは低い周波数へ移動します(|ω_{p1}'| < |ω_{p1}|)。したがって原理的には、非常に大きな容量のC₁'を付加することで、図7-6に示すように、ユニティ・ゲイン角周波数ω_uよりも低い周波数にあるポールを一つだけ(ファースト・ポールのみ)にすることが可能です。この図の例ではω_u = |ω_{p2}|なので、位相余裕は45°になります。

● 位相補償コンデンサはミラー効果を利用

さて大きな容量のC₁'を付加することで、位相補償が可能であることがわかりました。しかし、この方法で位相補償を行うには、数十nFオーダの大きさのC₁'を必要とします。しかし、このような大きさのキャパシタをICの中に入れることはできません。

そこで現実にはミラー効果(114ページを参照)を利用して、小さな容量のキャパシタを用いて効果的に位相補償を行います。

図7-7をご覧ください。差動増幅回路の出力(端子A)とOPアンプの出力間にキャパシタC_Cが接続されています。この位相補償容量C_Cは、ミラー効果によ

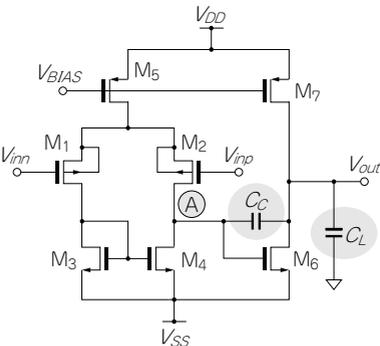


図7-7 基本的な2段CMOS OPアンプ

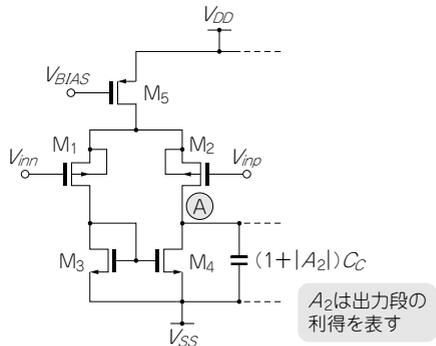


図7-8 図7-7のC_Cはミラー効果によって(1+|A₂|)倍された容量が端子Aに付加されたのと同じ動きになる