

## 第4章

# Spartan-3/3E/3A/3AN ファミリの概要

近藤 渉

ここでは、米国Xilinx社のFPGA「Spartan-3」ファミリ(Spartan-3, Spartan-3E, Spartan-3A, Spartan-3AN)の特徴について解説する。Spartan-3ファミリは、基本論理ブロック、I/Oブロックのほか、メモリ・ブロック、乗算器ブロック、クロック管理ブロックなどを持つ。それぞれのブロックの特徴や使い方を説明する。

(編集部)

米国Xilinx社の「Spartan-3」と「Spartan-3E」、「Spartan-3A」、「Spartan-3AN」は、コストを重視する民生機器のような量産製品に対応するために開発されたFPGA(Field Programmable Gate Array)です。表1に示すように、Spartan-3は8種類、Spartan-3EとSpartan-3A、Spartan-3ANはそれぞれ5種類の製品で構成されています。Spartan-3は集積度とI/O数重視のファミリ、Spartan-3Eは論理ブロック重視のファミリ、Spartan-3AはI/O重視のファミリで、補完関係にあります。Spartan-3ANは、Spartan-3Aとフラッシュ・メモリを1チップに封止したマルチチップ・モジュールです。フラッシュ・メモリは、FPGAの回路データのほか、ユーザ・データの保持に使用できます。

システム・ゲート数は5万～500万ゲートです。論理回路ブロックのほか、メモリ・ブロック、DLL(Delay Locked Loop)を含んだDCM(Digital Clock Manager)と呼ばれるクロック管理ブロック、乗算器ブロックを持ちます。また、さまざまなI/O規格に対応しています。これらの機能を活用することで、ボード・レベルのコスト削減が可能になります。

ここでは、Spartan-3とSpartan-3E、Spartan-3A、Spartan-3ANが持つ機能とその使い方について解説します。



## 1 Spartan-3/3E/3A/3ANのアーキテクチャ

Spartan-3/3E/3A/3ANファミリは、90nmプロセス技術と300mmウェハによって製造され、図1に示すように、主に以下の五つの基本的な機能から構成されています。

このPDFは、CQ出版社発売の「FPGA/PLD設計スタートアップ2009/2010」の一部分の見本です。内容・購入方法などにつきましては以下のホームページをご覧ください。

<http://shop.cqpub.co.jp/hanbai/books/MDD/MDDZ200905.html>

表1 Spartan-3/Spartan-3E/Spartan-3Aファミリの概要

ファミリ	型名	システム・ゲート	ロジック・セル	CLBアレイ (1CLB = 4スライス)			分散RAM (ビット)	Block RAM (ビット)	乗算器	DCM数	最大ユーザI/O数
				ロウ	カラム	総数					
Spartan-3	XC3S50	5万	1,728	16	12	192	12K	72K	4	2	124
	XC3S200	20万	4,320	24	20	480	30K	216K	12	4	173
	XC3S400	40万	8,064	32	28	896	56K	288K	16	4	264
	XC3S1000	100万	17,280	48	40	1,920	120K	432K	24	4	391
	XC3S1500	150万	29,952	64	52	3,328	208K	576K	32	4	487
	XC3S2000	200万	46,080	80	64	5,120	320K	720K	40	4	565
	XC3S4000	400万	62,208	96	72	6,912	432K	1,728K	96	4	712
	XC3S5000	500万	74,880	104	80	8,320	520K	1,872K	104	4	784
Spartan-3E	XC3S100E	10万	2,160	22	16	240	15K	72K	4	2	108
	XC3S250E	25万	5,508	34	26	612	38K	216K	12	4	172
	XC3S500E	50万	10,476	46	34	1,164	73K	360K	20	4	232
	XC3S1200E	120万	19,512	60	46	2,168	136K	504K	28	8	304
	XC3S1600E	160万	33,192	76	58	3,688	231K	648K	36	8	376
Spartan-3A Spartan-3AN	XC3S50A/AN	5万	1,584	16	12	176	11K	54K	3	2	144
	XC3S200A/AN	20万	4,032	32	16	448	28K	288K	16	4	248
	XC3S400A/AN	40万	8,064	40	24	896	56K	360K	20	4	311
	XC3S700A/AN	70万	13,248	48	32	1,472	92K	360K	20	8	372
	XC3S1400A/AN	140万	25,344	72	40	2,816	176K	576K	32	8	502

- CLB (Configurable Logic Block)
- IOB (I/Oブロック)
- 内蔵メモリ・ブロック (Block RAM)
- 乗算器
- DCM

IOBが、規則的に並んだCLBのアレイを取り囲んでいます。XC3S50の場合は、このアレイに1列のBlock RAMと18ビット×18ビット乗算器が組み込まれています。XC3S200からXC3S2000までのデバイスでは、Block RAMが2列の構成になります。そしてXC3S4000とXC3S5000のデバイスでは、Block RAMが4列の構成になります。各列は複数の18KビットのBlock RAMで構成され、それぞれを専用の乗算器に接続可能です。DCMは外側のBlock RAMの末端に配置されています。

五つの機能のすべてを相互接続する配線リソースと、スイッチ・マトリックスと呼ばれる切り替え器を使い、各機能間で信号を伝送します。

● CLBで基本的な順序回路や組み合わせ回路を実現

CLBは、順序回路や組み合わせ回路を実現するための基本的な論理ブロックです。図2に示すように、一つのCLBは四つのスライス(Slice)で構成されています。それぞれのスライスはインターコネクトと呼ばれる配線リソースにつながっており、それを通してCLB同士が接続されています。

CLB内の四つのスライスは、二つのペアに分割されます。それぞれのスライス間は、キャリ・チェーン