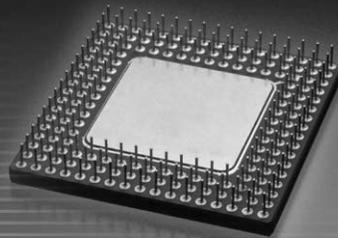


第8章

電子錠の拡張



回路記述の例として、第2章で紹介した電子錠の拡張を行ってみます。実用的にするため、「暗証番号を設定できるメモリ機能」、「7セグメントLEDによる表示機能」などを追加しました。そして汎用のFPGAボードを用いて、この回路を実現してみました。

8.1 回路仕様

第2章で紹介した電子錠は暗証番号が決まっていたので、実用性はありませんでした。実際の電子錠は、利用開始時に暗証番号を設定でき、また入力確認のための表示機能も付いています。

全体構成

図8.1に拡張版電子錠の仕様を示します。10個の数値キーのほかに、暗証番号記憶キー(MEM)と、施錠のためのキー(CLS)があります。実際の電子錠では、施錠キーが扉の開閉ノブと連動しているものもあります。また、7セグメント表示は5けたあり、

- キー入力による数値
- 錠の状態

を表示します。

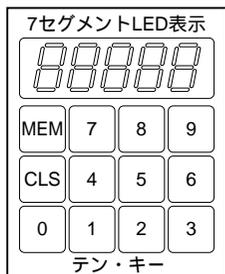
操作仕様

暗証番号の設定は、リセット後の初期状態でのみ行えます。一度設定すると、施錠と開錠しかできません。したがって、勝手に暗証番号を変えて開錠することはできません。リセット・スイッチは扉の内側にあり、開錠しているときしかリセットできないこととします。

操作仕様を図8.1(b)に示します。初期状態では“...”を表示し、キー入力を待ちます。キー入力があれば、右のけたから電卓のようにシフトしながら表示します。最後に入力した4けたを表示して、超えた分は順次消えます。なお、4秒間入力がないと表示をすべて“...”にして、初期状態に戻ります。4けた入力後、4秒以内にMEMキーを押せば、暗証番号を設定して開錠状態(“OPEN”表示)になります。“N”は小文字の“n”の形で代用します。

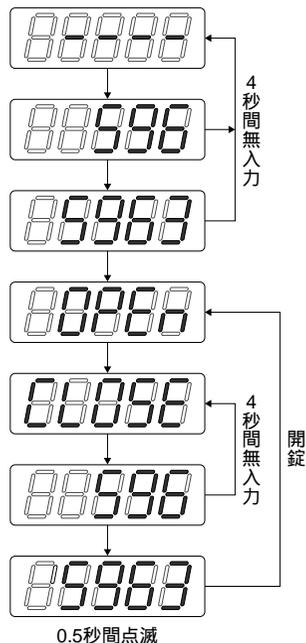
CLSキーにより施錠し、“CLOSE”を表示します。アルファベットの“O”と“S”は、数字の“0”と

図8.1
拡張版電子錠の
仕様



(a) 操作パネル

- 初期状態
- 記憶用暗証番号を入力中
5 9 6
- 記憶用暗証番号4けたを入力
3
- 暗証番号を記憶
MEM
- 施錠
CLS
- 開錠用暗証番号を入力中
5 9 6
- 暗証番号4けた目を入力し、一致
3



(b) キー入力と表示

“5”と同じセグメントを点灯しています。開錠のために暗証番号を入力し、最後に入力した4けたが一致すれば、全けたを0.5秒間点滅し、開錠します。暗証番号入力中に4秒間入力がないと、入力した値は捨てられ、施錠直後の状態になります。

設計仕様

設計仕様を図8.2に示します。端子機能(図8.2(a))は、第2章の回路から大幅に追加しています。テンキーは独立したスイッチではなく、3行4列のマトリックスの交点をON/OFFする構成になっています。したがって、12個のキーに対して、3ビットの出力rowoutと4ビットの入力colinを接続します。7セグメント表示は、ダイナミック点灯方式を用いています。5けたの表示に対して、7ビットのsegmentと5ビットのcommonを接続しています。

供給するクロックorgclkは49.195MHzです。また、リセット入力resetは、内部の全フリップフロップ(FF)に接続した非同期リセット信号です。回路の初期化のためだけに使います。

なお、すべての信号はハイ・アクティブ(‘1’で動作)としました。

ブロック構成

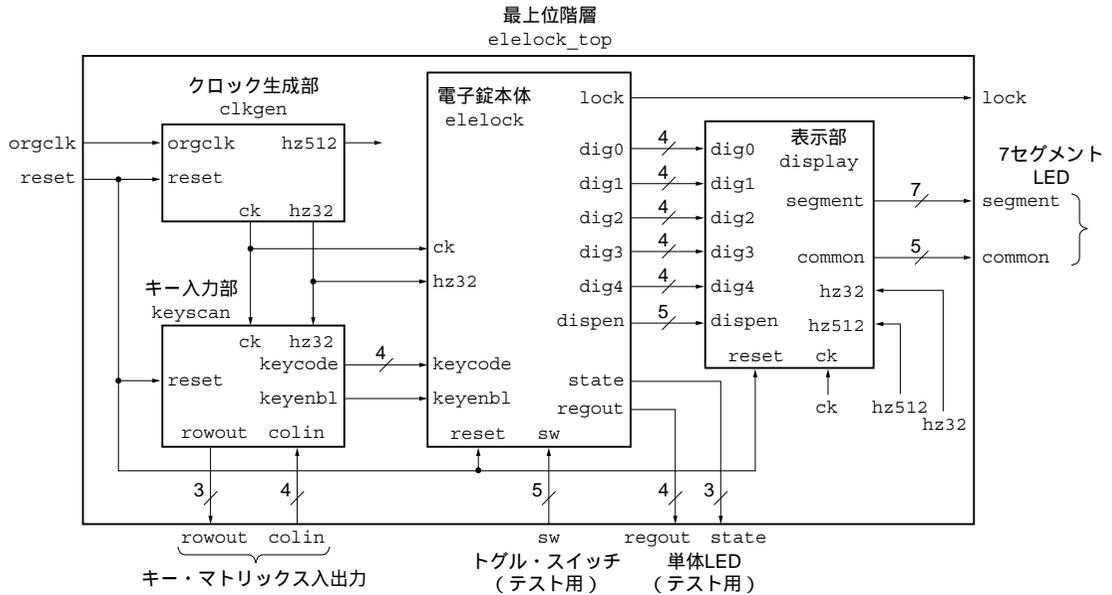
本回路は四つのブロックから構成されています(図8.2(b))。最終的にFPGAボードで動作を確認しましたが、ほかのボードに移植することを考慮して、以下のように回路ブロックを構成しました。

- 電子錠本体(elelock)
- クロック生成部(clkgen)
- キー入力部(keyscan)

図8.2 拡張版電子錠の設計仕様

信号名	方向	機能	信号名	方向	機能
orgclk	入力	クロック(49.152MHz)	common[5:0]	出力	7セグメント表示のコモン
reset	入力	リセット	segment[6:0]	出力	7セグメント表示のセグメント
colin[3:0]	入力	キー・マトリックス入力	sw[2:0]	入力	テスト用スイッチ入力
rowout[2:0]	出力	キー・マトリックス出力	state[2:0]	出力	テスト用ステート出力
lock	出力	電子錠出力	regout[3:0]	出力	テスト用レジスタ出力

(a) 端子機能



●表示部(display)

テスト用入出力

FPGA ボードに接続されているトグル・スイッチと単体のLEDを使って、テスト用の入出力を追加しました。内部レジスタやステート・レジスタの表示に使っています。

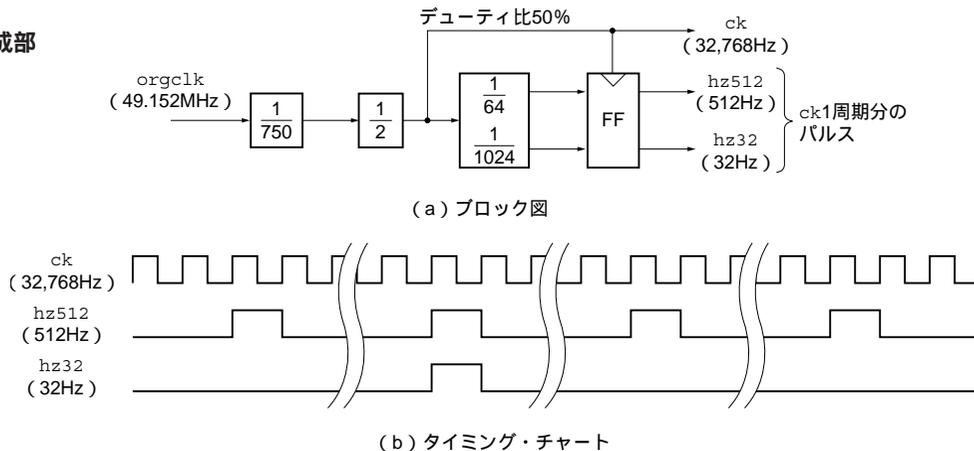
8.2 クロック生成部

クロック生成部では、FPGA ボード上で供給されているクロック(49.192MHz)を分周して、本回路のシステム・クロックである32,768Hzを作成しています。回路動作としては500Hz程度の周波数で十分ですが、デジタル・ウォッチなどで多用されているこの周波数を選びました。

回路構成とHDL記述

ブロック図とタイミング・チャートを図8.3に示します。ボード上のクロック49.195MHzを750分

図8.3
クロック生成部
(clkgen)



周および2分周して、デューティ比が50%の32,768Hzを得ています。さらに、各ブロックで使う512Hzと32Hzの信号を作成しています。これらの信号は、システム・クロック ck の1周期分のパルスです。本回路は同期回路システムで設計するので、各種制御信号はすべて、システム・クロックの1周期のパルスとします(図8.3(b))。

記述をリスト8.1に示します。10ビットのカウンタ cnt で、初段の750分周を行っています。さらにこれを2分周して、デューティ比が50%のシステム・クロック ck を作成しています。システム・クロックを作成するまでの順序回路では、ボードのクロック($orgclk$: 49.152MHz)をクロックとして記述しています。その後のカウンタでは、システム・クロック ck をクロックとしています。記述のうえでは `always` 文のイベント式に記述した信号名の違いでしかありませんが、回路構成上は大きな差があります。どちらのクロックで駆動しているかは重要です。

8.3 キー入力部

マトリクス構成のキー回路を制御して、キー・コードとキー入力検出信号を得る回路です。多くのキー入力が必要とする場合、配線本数を減らすためにマトリクス方式のキー入力回路を用います。キー入力を行単位または列単位で順次読み取ることで、すべてのキーの状態を認識することができます。

キー・マトリクスの回路

本回路に必要なキーは12個ですが、実現するFPGAボードには、 4×4 の16個のキーが格子状に並んで接続されています(図8.4)。 $nCOLIN1 \sim nCOLIN4$ の4ビットに、1行分の4個のキー状態を読み出せます。読み出す行を指定するのが $nROWOUT1 \sim nROWOUT4$ です。この信号を順番に0にし、それに合わせて $nCOLIN1 \sim nCOLIN4$ を読み出すことで、16個のキーの状態を判別できます。この動作をキー・スキャンと呼びます。なお、回路に含まれるダイオードは、 $nROWOUT$ を駆動するバッファのショートを防ぐために入れてあります。これがない場合、上下方向のキーを同時に押したときにバッファの出力間がショートして、過大電流が流れる危険があります。