

高速応答と低ノイズを
同時に実現する方式が鍵！

PLL 周波数シンセサイザの 種類と使い方

新山 信哉/長谷川 守仁/岡島 卓矢
Nobuya Niiyama/Morihito Hasegawa/Takuya Okajima

1877年に日本に輸入され、3000万台を越えるまでに約100年かかった固定電話網も、自動車、携帯電話サービスの開始後わずか20年で、普及率では携帯端末に抜かれました。

携帯端末は2003年には国内で8000万台を突破し、世界では年間4億台が生産され、稼働中の10億台もの携帯端末機器も一層増加する勢いです。

方式もアナログ方式からTDMA デジタル方式、CDMA 方式へと発展し、今後扱うデータ量の増加とともにさらなる展開が期待されています。

その中でPLL周波数シンセサイザは、図9-1に示すように無線機器における搬送波の合成や分離の役割を担う重要部品として発展してきました。

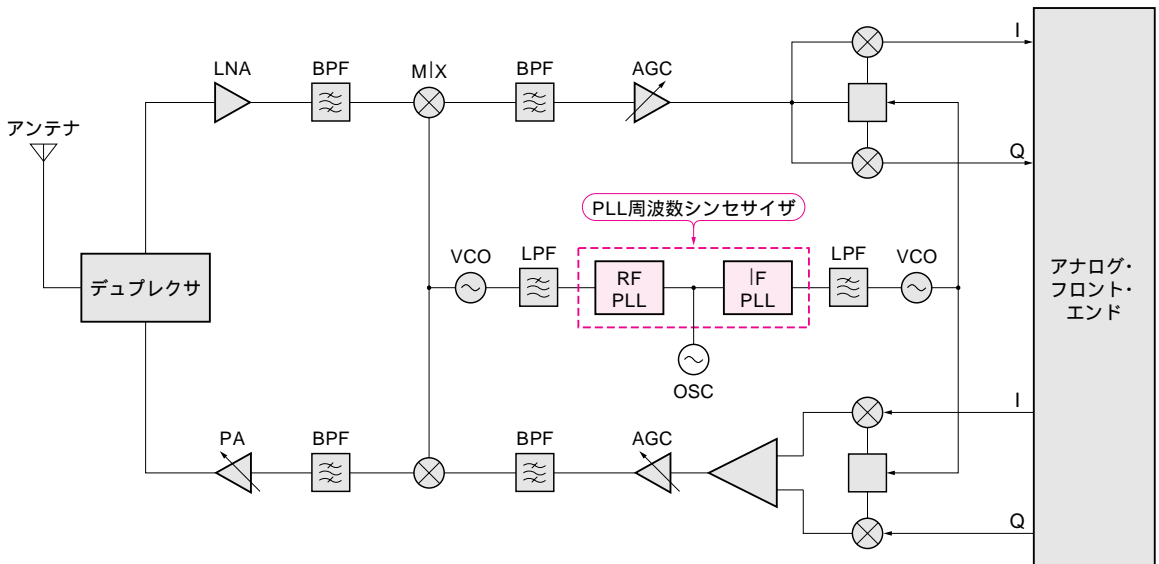
本章では、PLL周波数シンセサイザの基礎として動作原理、種類と方式、実用例を紹介します。

動作原理編

PLL周波数シンセサイザは図9-2に示すように、

- 基準信号分周器

図9-1 携帯電話機でのPLL周波数シンセサイザの使用例



- 比較周波数分周器
- 位相比較器
- チャージ・ポンプ回路

で構成され、これに基準信号やループ・フィルタ、VCOを組み合わせて帰還回路を構成し、低ノイズで安定した周波数を得ています。

一般にPLLというとき、基準信号源、周波数シンセサイザ、ループ・フィルタ、VCOなどの部品を含めた帰還回路全体を表しますが、目的は基準信号に同期した信号を安定維持することですから、基準信号源以上の安定性能を出すことはできません。したがって、システム性能を上げるためには、一部品だけでなく全部品に配慮した設計が必要です。

この中で周波数シンセサイザは、ロジック的動作を行いながらチャンネル周波数を設定します。また、近傍ノイズ特性やチャンネル切り替え時間のロック・アップ・タイムなどのアナログ特性にも大きな影響を与えます。

表9-1に代表的な周波数シンセサイザの種類と特徴を、表9-2に最近需要が高まっている高速切り替え対応のFractional・N(分数分周)方式の周波数シンセサイザの特徴を示しました。

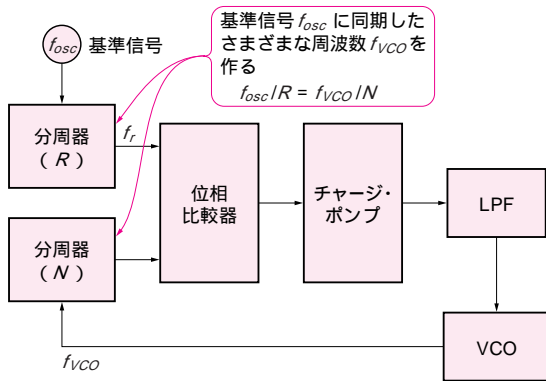


図9-2 PLL周波数シンセサイザの基本構成

VCO

Voltage Controlled Oscillatorの略で、電圧制御発振器のこと。発振周波数を、制御端子に加える直流電圧によって変化させることができる発振器。

PLL

Phase Locked Loopの略で、基準信号と同位相の信号を出力するもの。位相比較器、ループ・フィルタ、VCOから構成される。

ループ・フィルタ

位相比較出力に含まれる不要な成分や雑音を取り除き、直流成分だけをVCOへ伝えるフィルタ。

ロック・アップ・タイム

任意の周波数に収束するまでの時間。

種類	特徴	f_{VCO}
直接分周方式	動作周波数が低い(数十MHz)	$f_r N$
プリスケアラ方式	プリスケアラとカウンタで構成	$f_r P N$
パルス・スロー方式	RF帯で多く使われている デュアル・モジュラス・プリスケアラが必要	$f_r (PN + A)$
ミキサ方式	ミキサとカウンタで構成 ミキサ入力信号の影響が大きい	$f_{mix} \pm (f_r N)$

表9-1

PLL周波数シンセサイザの分周方式による分類と各方式の特徴

f_r : f_{osc}/R , R : リファレンス・カウンタの分周値, f_{osc} : 基準信号(水晶発振周波数など),
 N : メイン・プログラム・カウンタの分周値, P : プリスケアラの分周値,
 f_{mix} : 外部ミキサ入力信号

種類	特徴
直接合成方式	複数の発振器出力信号を直接合成する。高性能なBPFが必要
フィルタ切り替え方式	ロックするまで帯域幅の大きいLPFを構成し、ロック後は帯域幅の狭いLPFを構成する。切り替えの際、ロック外れに気をつけること
基準周波数切り替え方式	周波数切り替えの際にループ・ゲインを上げ基準周波数を高くし、目的の周波数の近辺で基準周波数を低くする方式
Fractional-N方式	基準周波数を高くし、分数比設定を可能とする。分数化による誤差パルス発生のためスプリアス・キャンセル回路が必要

表9-2

高速切り替え機能の種類