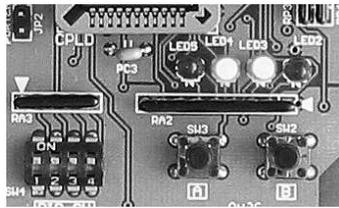


図6.17 ALUのシミュレーション結果

写真6.5
ALUの実験

6.6 バレル・シフタ

設計仕様

バレル・シフタは、指定したビット数だけローテートする回路です。バレルというのは樽のことです。樽を転がすようにシフトさせるので、実際には単なるビット・シフトではなくてローテートになります。一周したら元に戻るなので、シフト方向の指定ができなくても実用上問題にはなりません。ここでは4ビットの入力信号を0から3ビットの任意のビット数だけ左側にローテートする回路を設計します。ローテートするビット数は2ビットの入力信号で指定します。

使用する部品はLED2, LED3, LED4, LED5, SW2, SW3, SW4です。表6.7は、使用する部品とVHDLのソース・コードの中で記述する信号名の対応を表したものです。SW4に設定したビット列をLED2からLED5の四つのLEDに表示します。ローテートさせるビット数は、SW2とSW3によって表6.8のように指定します。SW2をLSBとしたときのバイナリで指定します。例えば、SW2だけを押ししたときは、1ビットだけ左にローテートさせます。

ソース・コード

リスト6.11がソース・コードです。5行目から7行目までは入出力信号の宣言で、リスト6.10と同じで

表6.7 バレル・シフタの入出力信号

部品名	スイッチの表示	CPLDのピン番号	入出力	外部信号名	電氣的動作	内部信号名	論理的動作
LED2	-	27	OUT	LED(2)	Lレベルで点灯	-	-
LED3	-	33	OUT	LED(3)		-	-
LED4	-	29	OUT	LED(4)		-	-
LED5	-	31	OUT	LED(5)		-	-
SW2	-	28	IN	SW2	ONでLレベル	S	-
SW3	-	34	IN	SW3		S	-
DIP スイッチ (SW4)	1	36	IN	SW(1)		A(3)	ONで1
	2	37	IN	SW(2)		A(2)	
	3	39	IN	SW(3)	A(1)		
	4	24	IN	SW(4)	A(0)		

表6.8
ローテートさせるビット数

SW3	SW2	ローテートする ビット数
OFF	OFF	0
OFF	ON	1
ON	OFF	2
ON	ON	3

リスト6.11 バレル・シフタのソース・コード

```

1 library IEEE;
2 use IEEE.std_logic_1164.all;
3
4 entity SHIFTER is port(
5     SW : in std_logic_vector(1 to 4);
6     SW2, SW3 : in bit;
7     LED : out std_logic_vector(5 downto 2));
8 end SHIFTER;
9
10 architecture RTL of SHIFTER is
11 signal A : std_logic_vector(3 downto 0);
12 signal S : bit_vector(1 downto 0);
13 begin
14     A <= SW(1 to 4);
15     S <= not (SW3 & SW2);
16 process (A,S) begin
17     case S is
18         when "00" => LED <= A;
19         when "01" => LED <= A(2 downto 0) & A(3);
20         when "10" => LED <= A(1 downto 0) & A(3 downto 2);
21         when "11" => LED <= A(0) & A(3 downto 1);
22     end case;
23 end process;
24 end RTL;

```

す。11行目と12行目は内部信号の宣言です。14行目と15行目で入力信号を内部信号に接続しています。14行目はDIPスイッチとLEDの基板上の配置が一致するようにLSBとMSBを入れ替えています。15行目は内部で扱いやすいように配列に結合しています。

17行目から22行目までのcase文でバレル・シフタの動作を記述しています。ビットをスライスしてから結合することによってローテートしています。

もう一つの記述例として、シフト演算子を使ったバレル・シフタを紹介します。リスト6.12がそのソ