

第 1 章

先達の工夫に学ぶ半導体メモリの動作と基礎知識 メモリ IC の構造と動作のしくみ

小松 伸行

メモリ (memory) は、初期のコンピュータ開発でもっとも手間のかかる構成要素の一つでした。時代が下りコンピュータの性能が発展してきた要因の一つに、メモリ素子の高性能化や高密度化や低価格化に継続的に成功してきたことがあげられます。現在では、コンピュータの顔を表に見せることのない家電製品もデジタル化されて、大量のメモリが使用されるようになりました。

本章では IC 化メモリの原理を初期のころから説明して、現在のメモリ IC に至る技術の流れを理解する手助けにしたいと思います。まずは 1 ビットを記憶するためのセル・レベルでメモリ素子を眺めていきます。その後で、セルを多数まとめ上げたメモリ IC のランダム・アクセスのしくみや高速アクセス・モードの変遷を説明します。

1-1 スタティック・メモリ

■ スタティック・メモリとは何か？

● 双安定性があればメモリとして使える

「スタティック・メモリとは何か？」というような根本的な問いには例外の存在しないすっきりした答えをなかなか提示しにくいのですが、ここでは「双安定性」に基づいたメモリのことをスタティック・メモリ (Static Random Access Memory ; SRAM) と定義します。

双安定性というのは、外部から何かしない限り変化しない安定状態を 2 種類もっている性質をいいます。例えば、一斗缶のペッコンと凹ませて開ける蓋です。あの蓋は凸と凹ふたの二つの安定状態をもっていますね。つまり双安定性をもっているわけです。

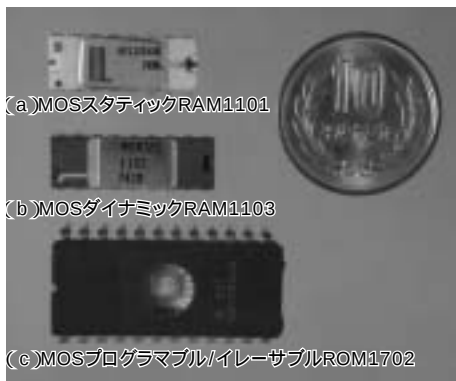


写真1-1 各種ICメモリ・カード

写真1-2

歴史的なメモリICたち

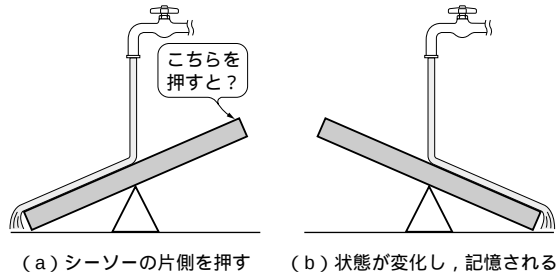
(ただし、いずれもセカンド・ソース品，小松伸行所蔵)



● 水とシーソーによるメモリ

図1-1のような機構を考えると，こんなしくみでも双安定性をもつことがわかります．これはシーソーの中央から水を流し続けているものです．例えば図1-1(a)のように最初から左側が下がっていると，水は左側に流れます．左側には流れている水が乗っていて，

図1-1
流水とシーソーによるフリップ
フロップ



右側には何も乗っていませんから、放っておけばずっと左側が下がったままです。

このとき、シーソーの右側を押し下げると、図1-1(b)のように水が右側の板の上を流れるようになります。すると、手を放しても右側が下がった状態で安定します。次に誰かが左側を押し下げるまで変化しません。これは、まさしく双安定性をもつ機構です。

■ SRAMのセル構造

● 水とシーソーを電流とトランジスタ回路に置き換え

普通に使われているスタティク・メモリ素子の原形は、この図1-1のしくみを電子回路に置き換えた図1-2(a)のフリップフロップ回路です。図1-1の板の左側が Tr_1 、右側が Tr_2 に置き換わって、水流の代わりが R_1 と R_2 を流れる電流です。水の質量の代わりが互いに交差して接続されたベース電極の電位です。図1-2(a)は双安定性をもつか、確かめてみましょう。

● 双安定動作

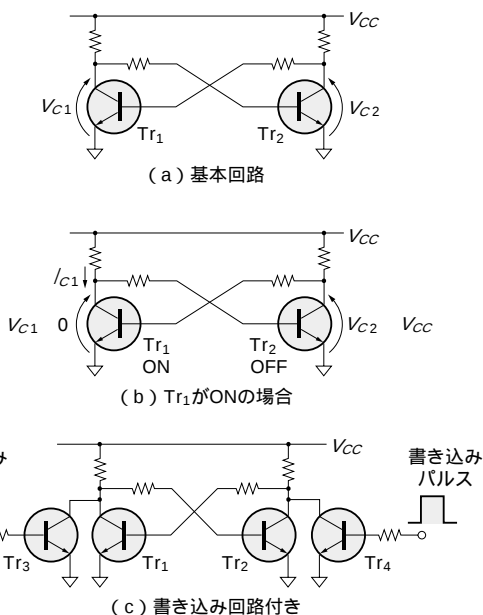
図1-2(b)のように Tr_1 がONになっていると、 Tr_1 のコレクタ電位 V_{C1} はほぼゼロになります。すると、 Tr_2 のベース電流はゼロになるので、 Tr_2 はOFFになります。 Tr_2 のコレクタ電位 V_{C2} はほぼ電源電圧に等しくなるので、 Tr_1 のベースに電流が流れて、 Tr_1 はONのままです。

何らかの理由で Tr_2 がONになると、逆のことが起きて、 V_{C2} がゼロ近くなるため Tr_1 のベース電流が流れず Tr_1 はOFFになり、 V_{C1} が電源電圧近くなるため Tr_2 のベース電流が流れて Tr_2 はONの状態で安定します。

● 書き込み回路の追加

しかし、このままでは双安定ではあるけれど、手で押し下げる部分がありません。簡単

図1-2
トランジスタによるフリップ
フロップ回路



にはトランジスタのコレクタ・エミッタ間に並列にスイッチを入れてやります。トランジスタ・スイッチを入れることにすると図1-2(c)の回路となります。書き込みのためのスイッチは、ON/OFFを切り替えるために Tr_1 と Tr_2 それぞれに必要です。 Tr_3 が Tr_1 側を強制的にONにするため、 Tr_4 が Tr_2 側を強制的にONにするための回路です。

Tr_3 が Tr_4 のどちらかのベース側に短いHパルスを加えるだけで書き込みが行えて、後はLレベルにしておけばその状態が持続します。

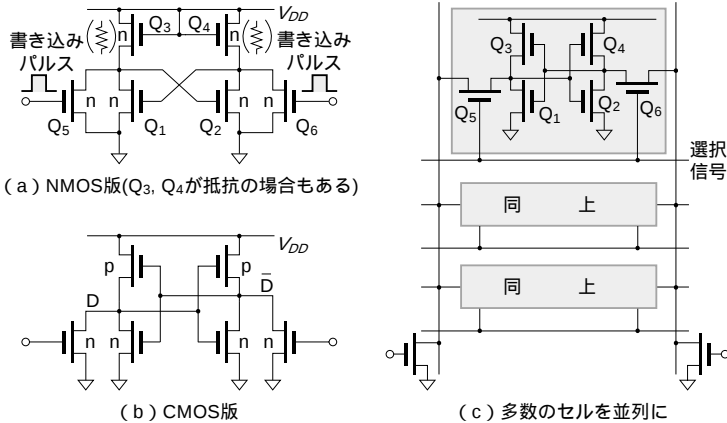
■ MOSFET 回路に置き換える

これをIC向きにMOSFETで置き換えると、図1-3のようになります。図1-3(a)がNMOSタイプで、図1-3(b)がCMOSタイプのセルです。現在はCMOSタイプが一般的です。

● 特定のビットを読み書きするしくみ

さて、ここまでは1ビットの記憶しかできない回路です。実際のメモリICでは多数のセルを並べて多数のビットを集積しないと実用的ではありません。その際、アドレス信号で選択された特定のビットを読み書きするしくみを追加する必要があります。

図1-3 MOSFETによるフリップフロップ回路



そのためフリップフロップの両方のデータ線にMOSFETによるトランスファ・ゲートを入れ、読み書きのための回路を多数のセルで図1-3(c)のように共用します。選択信号によって、特定のセルのトランスファ・ゲートだけがONとなり、そのセルだけが共通データ線に結合されて、フリップフロップの状態を読み出したり、逆に書き込んだりできます。

読み出しだけなら1本のデータ線で済みそうですが、書き込むには2本のデータ線が必須となります。これが「6素子型」と呼ばれるスタティク・メモリ・セルで、MOSFETを使った最初のSRAM ICであるインテル社の1101のメモリ・セルです。MOSFET 6素子の回路に電源2本と3本の信号が引き出されています。

● スタティク・メモリの特徴と課題

回路は基本的にデジタル動作をしていて安定ですし、高速動作にも向いています。CMOSプロセスで製造すれば静的消費電流をほとんどゼロにでき、電池動作など低消費電力が重視される機器やバッテリー・バックアップの必要な応用にも向いています。なお「静的消費電流」とは読み書き動作をせずに単に記憶しているだけの状態で消費する電流です。

しかし、パソコンとかデジタルAV家電のように大容量メモリが必要な場合には、6素子のトランジスタをさらに減らして、同じトランジスタ数のIC 1個で記憶できるビット数をさらに増やせないかという課題が考えられました。その一つの解決法が、次のダイナミック・メモリです。

1-2 ダイナミック・メモリ

■ ダイナミック・メモリの登場

スタティク・メモリのキーワードが「双安定」なら，ダイナミック・メモリのほうは「単安定」かもしれません．具体的な記憶セルを説明する前に，単安定回路で記憶できることを説明します．

● 一定時間だけ記憶する

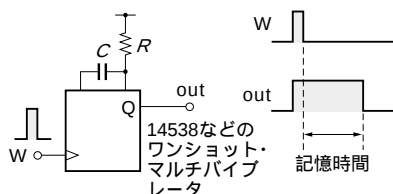
単安定回路というのは双安定回路と異なり「安定な状態が一つしかない」という意味です．常に一つの状態しか取らないなら回路的な意味はありませんが，言外に「もう一つの状態は不安定である」という意味が含まれています．安定でない状態に移移したら，ある時間後には勝手に安定状態に戻ってしまうという回路です．

標準CMOSロジックICでいうなら図1-4(a)のようなワンショット・マルチバイブレータを使ったCRによるタイマ回路が該当します．データ“1”を書き込むのがCRタイマにトリガ・パルスを与えるのと同じ意味になります．すると，一定の時間はタイマ回路がパルスを出しますが，じきに元の安定状態になってしまいます．安定状態に戻ったということは，書き込まれた情報が失われたということです．

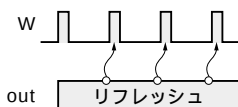
● リフレッシュによって永続的に記憶する

書き込みパルスを与えると一定の時間は記憶動作が行われていますが，永続的には記憶

図1-4
ダイナミック・メモリの
動作原理



(a) タイマで記憶



(b) リフレッシュを行うと永続的に記憶できる

できません。メモリとして使うためにはこれでは困ります。そこで「記憶内容のリフレッシュ」を行います。記憶が失われる時間より十分に短い時間間隔で、タイマ出力を読み取って、それがデータ“1”だったなら再度書き込みパルスを加え、“0”なら何もしないという処理です。こうすれば、永続的に記憶できます。

スタティク・メモリは、前述のように電源さえ与えておけば安定に記憶されます。読み書きしないときは放っておけばよいわけです。すなわち静的(スタティク)に安定な記憶素子です。しかしダイナミック・メモリの内部では一定時間しか記憶できません。一定時間おきにリフレッシュを繰り返さなくてはならないのです。リフレッシュが止まったら記憶が消えます。ここが動的(ダイナミック)といわれる由縁です。

■ DRAM のセル構造

● より少ないトランジスタで実現したい

単安定回路でも記憶できそうだということはおわかりいただけたとして、それが「スタティク・メモリより少ないトランジスタで実現可能か？」というのが次の問題になります。そこで具体的なダイナミック・メモリ・セルの構造を説明します。

初期のダイナミック・メモリ・セルのアイデアは、実はスタティク・メモリ・セルから部品を省くというものでした。図1-5(a)は先ほど説明したばかりのNMOS型スタティク・メモリ・セルです。双安定セルでなくてはならないスタティク・メモリ・セルとしては、これが一つの完成形であり、省略できる部品はありません。

● 4素子に減らす

しかし単安定セルでよければ、図1-5(b)のように Q_1 と Q_3 を省略できます。フリップフロップの主要なトランジスタの一方を負荷ごとに取り去ってしまうのです。その際、トランスファ・ゲートに接続された選択信号は書き込み用と読み出し用とに分離します。

これではどのようにデータが記憶されるかわかりませんが、 Q_2 のゲート部分にゲート容量 C_1 があり、このコンデンサへのチャージとして記憶されます。 Q_5 がONになったとき、書き込み信号線がLレベルだと C_1 は放電されて Q_2 はOFFになります。 Q_5 がOFFになっても C_1 の両端には電圧が発生せず、 Q_2 がOFFになったままです。 V_{DD} など高い電圧源からの微小リーク電流があると、しばらく後にはどうなるかわかりませんが、短時間はその状態を保つはずです。

逆に、書き込み信号線がHレベルのときに Q_5 がONになれば、 C_1 は充電されて Q_2 がONになります。その後に Q_5 がOFFになってからしばらくは、 C_1 の電荷が保持されてい

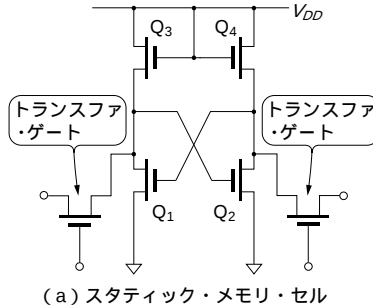
ますから、やはり同じように状態が保たれます。

どちらの状態も時間が経過すると不安定になる可能性がありますから完全な単安定性はありませんが、一定時間は記憶が保持される性質はあります。

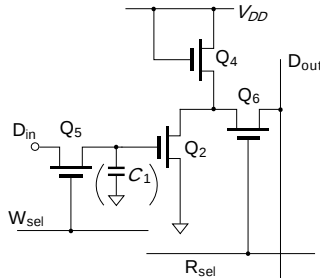
● 3素子に減らす

さて、この図1-5(b)の回路にはまだ省略可能な部品があります。それは Q_2 の負荷であ

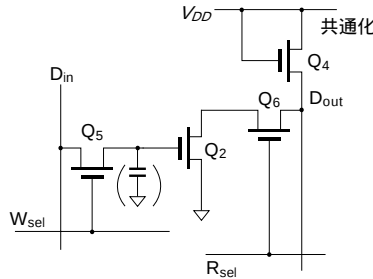
図1-5
ダイナミック・メモリ・セルの道程



(a) スタティック・メモリ・セル



(b) 4素子型



(c) 3素子型

る Q_4 です。読み出し側のトランスファ・ゲートである Q_6 の外側、読み出しデータ線のほうへと Q_4 を移動すれば、図 1-5(c) のように多数のセルで負荷を共用できます。別の見方をすれば、読み出す瞬間だけ Q_2 に電流を流して増幅動作をさせるわけです。

Q_2 に電流を流しても流さなくても、ゲート側のインピーダンスは常に高く、電流はほとんど流れませんから、記憶動作には影響ありません。しかも、読み出すとき以外は Q_2 に電流が流れませんから、消費電流を減らすことにもつながります。

この最終的な回路が、1971 年に発売され最初に普及した 1 K ビット・ダイナミック・メモリ素子であるインテル社の 1103 で採用されたもので、3 素子型のセルです。コンデンサへデータを書き込むためのトランスファ・ゲート、コンデンサの電荷を増幅する MOSFET、データを読み出すためのトランスファ・ゲートの 3 素子が使われています。これでスタティック・メモリの半分の素子数となりました。

● ついに 1 素子で構成！

この 3 素子型のセルは、部分的に改良を続けながら初期の 4 K ビット・メモリ IC まで利用されました。4 K ビット・ダイナミック・メモリの世代から、さらに素子を節約したセルが採用されます。それが「1 素子 1 コンデンサ式」といわれるセルで、図 1-6 に示すごく単純な回路です。

考えかたとしては、3 素子型のセルではコンデンサのチャージを増幅するためのトランジスタ Q_2 が各セルに組み込まれていました。ちょうど図 1-5(b) から図 1-5(c) で負荷の Q_4 をトランスファ・ゲートの外側に移して各セルで共用したように、それをトランスファ・ゲートの外側へと移動させます。すると、コンデンサへの書き込みと読み出しのトランスファ・ゲートが残りますが、データ線を双方向化して利用することにすればトランスファ・ゲートも共用化できます。そうして残ったのが図 1-6 のセルです。

記憶保持用のコンデンサは、もはやゲート容量を利用するわけにはいきませんから、それなりに形成する必要があります。初期のセルでは MOSFET のゲート部分と類似の構造

図 1-6
1 素子 1 コンデンサ・メモリ・セル

