

強力なビット処理, 高速割り込み応答, 十分な演算能力, 小さなオブジェクト・サイズ

MCS-51アーキテクチャの概要

1-1 MCS-51アーキテクチャの概要

それではいよいよ, 8051の説明を始めましょう. 図1-1は, 元祖であるインテル8051のブロック図です. この図が示すとおり, 8051はデバイス単体で動作するマイクロコントローラとして, 下記に挙げる機能をすべて内蔵しています.

- CPUコア
- プログラム・メモリ (ROM)
- データ・メモリ (RAM)
- 複数の動作モードをもつ2組の16ビット・タイマ
- 8ビット×4ポートの平行ル・ポート
- 全二重通信が可能なシリアル・ポート
- 割り込みコントローラ
- システム・クロック生成用のクリスタル発振回路

これら8051デバイスがもつ主な機能は, 一括して「8051コア」と呼ばれます.

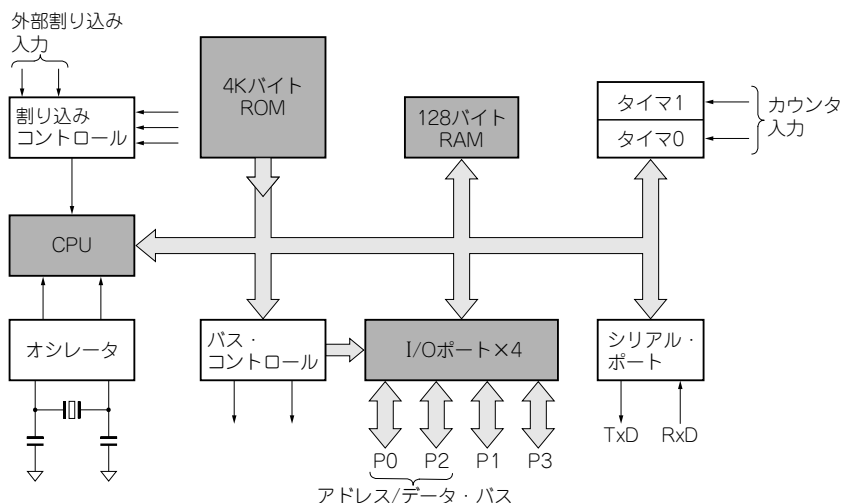


図1-1⁽⁴⁾ 8051のブロック図

1-2 外観とピン・アサイン

オリジナルのパッケージは図1-2のような40ピンDIPです。表1-1は各ピンの簡単な説明です。派生品

見本 表1-1 各ピンの説明(40ピンDIP)

ピン番号	名称	説明
1	P1.0	I/Oポート1のビット0
2	P1.1	I/Oポート1のビット1
3	P1.2	I/Oポート1のビット2
4	P1.3	I/Oポート1のビット3
5	P1.4	I/Oポート1のビット4
6	P1.5	I/Oポート1のビット5
7	P1.6	I/Oポート1のビット6
8	P1.7	I/Oポート1のビット7
9	RST	リセット入力
10	P3.0/RXD	I/Oポート3のビット0またはシリアル入力ポート
11	P3.1/TXD	I/Oポート3のビット1またはシリアル出力ポート
12	P3.3/ $\overline{\text{INT0}}$	I/Oポート3のビット2または外部割り込み0
13	P3.3/ $\overline{\text{INT1}}$	I/Oポート3のビット3または外部割り込み1
14	P3.4/T0	I/Oポート3のビット4またはタイマ/カウンタ0外部入力
15	P3.5/T1	I/Oポート3のビット5またはタイマ/カウンタ1外部入力
16	P3.6/ $\overline{\text{WR}}$	I/Oポート3のビット6または外部メモリ・ライト・ストロープ
17	P3.7/ $\overline{\text{RD}}$	I/Oポート3のビット7または外部メモリ・リード・ストロープ
18	XTAL2	インバータ発振回路の出力
19	XTAL1	インバータ発振回路の入力
20	V_{SS}	グラウンド
21	P2.0/A8	I/Oポート2のビット0またはアドレス・バスのビット8
22	P2.1/A9	I/Oポート2のビット1またはアドレス・バスのビット9
23	P2.2/A10	I/Oポート2のビット2またはアドレス・バスのビット10
24	P2.3/A11	I/Oポート2のビット3またはアドレス・バスのビット11
25	P2.4/A12	I/Oポート2のビット4またはアドレス・バスのビット12
26	P2.5/A13	I/Oポート2のビット5またはアドレス・バスのビット13
27	P2.6/A14	I/Oポート2のビット6またはアドレス・バスのビット14
28	P2.7/A15	I/Oポート2のビット7またはアドレス・バスのビット15
29	$\overline{\text{PSEN}}$	プログラム・ストア・イネーブル。外部プログラム・メモリのリード・ストロープ。
30	$\overline{\text{PROG/ALE}}$	アドレス・ラッチ・イネーブル。外部メモリ・アクセス中にアドレスの下位バイトをラッチするためのパルス出力。EPROM デバイスではプログラム・パルス入力。
31	$V_{\text{DD}}/\overline{\text{EA}}$	外部アクセス・イネーブル。内部プログラムを実行するときは V_{CC} 、外部プログラムを実行するときは V_{SS} へそれぞれ接続すること。
32	P0.7/AD7	I/Oポート0のビット7または外部メモリ・アクセス中の下位バイト・アドレス/データ・ビット7
33	P0.6/AD6	I/Oポート0のビット6または外部メモリ・アクセス中の下位バイト・アドレス/データ・ビット6
34	P0.5/AD5	I/Oポート0のビット5または外部メモリ・アクセス中の下位バイト・アドレス/データ・ビット5
35	P0.4/AD4	I/Oポート0のビット4または外部メモリ・アクセス中の下位バイト・アドレス/データ・ビット4
36	P0.3/AD3	I/Oポート0のビット3または外部メモリ・アクセス中の下位バイト・アドレス/データ・ビット3
37	P0.2/AD2	I/Oポート0のビット2または外部メモリ・アクセス中の下位バイト・アドレス/データ・ビット2
38	P0.1/AD1	I/Oポート0のビット1または外部メモリ・アクセス中の下位バイト・アドレス/データ・ビット1
39	P0.0/AD0	I/Oポート0のビット0または外部メモリ・アクセス中の下位バイト・アドレス/データ・ビット0
40	V_{CC}	電源入力