

テスト・ボードでPICの各機能を確認，まずタイマから動かしてみる

PIC16F877Aの基本的な機能と タイマを理解する

見
本

前章では，シンプルなPICのシステムを作って動かしました．DIPスイッチを入力に，LEDを出力にし，MPLAB IDEでプログラムを作り，AKI-PICプログラマ装置でプログラムを書き込み，最終的にPICが動いてLEDが点滅しました．


配線からプログラムの作成，テストとPICを使った開発全体の流れは経験しました．しかし，PICの中にはまだまだ多くの機能があります．本章ではリセット回路を追加して回路の信頼性を上げ，一番よく使う機能であるタイマ0，1を利用します．

6-1 確実なリセット

前章のテスト・ボードでは，1番ピンのMCLR(リセット端子)を電源に抵抗を介して接続して，内蔵されているパワー・オン・リセット回路で対応しました．通常の使用環境ではこれで問題なく使えます．しかし，電源事情によっては，正しくリセットがかからない場合があります．

リセットによりプログラムを0番地から動かさない場合，正しくないデータを読んだり，プログラム自体が暴走し，異常な値を出力してしまうことが考えられます．

このPICには，対処の方法がいくつも用意されています．ここではまず，リセット回路を追加することから始めます．16F877Aでは次のリセットが用意されています．

- (1) パワー・オン・リセット
- (2) MCLRリセット
- (3) WDTリセット，ウェイクアップ 
- (4) ブラウン・アウト・リセット

このアイコンは，章末に用語解説があります

(1) パワー・オン・リセット

チップ内の V_{DD} 立ち上がり検出回路が，1.2Vから1.7Vの範囲内で V_{DD} の立ち上がったことを検出すると，図6-1の に示したパワー・オン・リセット・パルスが内部で発生します．このパルスを基準に通常72msのパワー・アップ・タイマが働き，この期間，システムをリセット待ち状態に保ちます．これにより電源が安定するまでの間システムの起動を待つことができます．その後，オシレータ・スタートアップ・タイマが起動し，RC発振回路以外ではオシレータのクロック・サイクルで1024クロックの期間システムをリセット待ち状態に保ちます．このようにリセット時間を長く取るのは，水晶発振回路などが安定するのを待つためです．

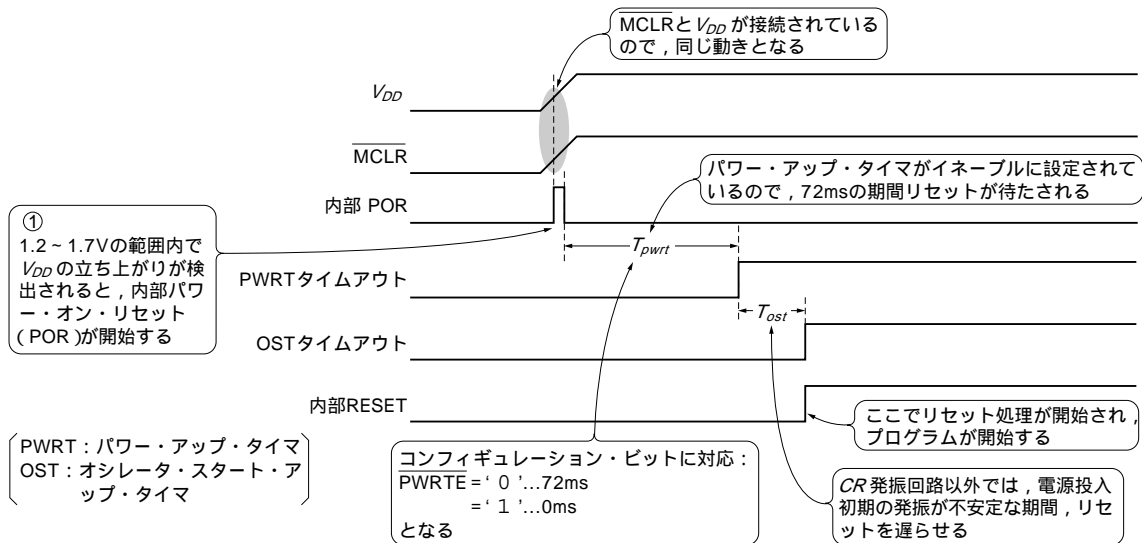


図6-1(3) 電源投入時のシーケンス

電源がしっかりしていて電源スイッチがある場合のように電源の立ち上がりにそれ程問題ない場合は、 V_{DD} とMCLRを接続して上記の内部パワー・オン・リセット処理で、正しくプログラムは走り出す。

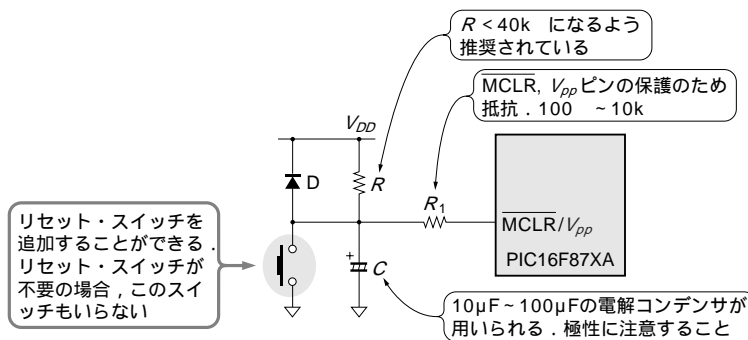


図6-2(2) 外部パワー・オン・リセット回路の基本例

V_{DD} の立ち上がりが遅いときは、上記の回路によって電源電圧が安定した後にMCLRが立ち上がり、図6-1のリセット・シーケンスが開始するようにする。

パワー・アップ・タイマは、コンフィギュレーション・ビットの設定で機能の停止、稼働を選択できません。外部にMCLRリセット回路を設けない場合は、パワー・アップ・タイマを活かすために、コンフィギュレーション・ビットのPWRT \bar{E} = '0' にします。

(2) MCLRリセット

とくに、電源の立ち上がりの遅い恐れがある場合は、外部にパワー・オン・リセット回路を図6-2のように追加します。外部パワー・オン・リセット回路にリセット・ボタンを追加すると、プログラムの実行中やスリープ中にこのリセット回路のリセット・ボタンを押すことでMCLR端子がセット(="L")され、プログラムを再起動できるようになります。

ダイオードは電源が切断されたときに、コンデンサにチャージされた電荷を速やかに放電するためのものです。入力ピンに直列に接続されている抵抗は、入力端子の保護を目的としています。100 ~ 10k

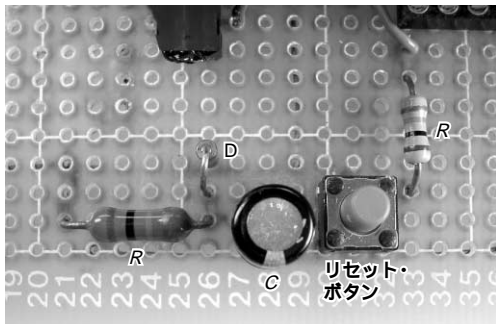
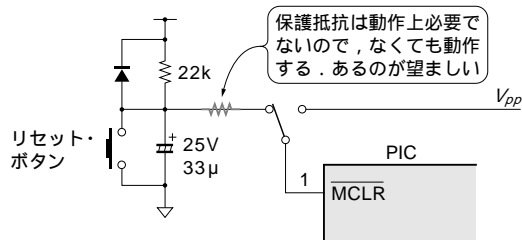
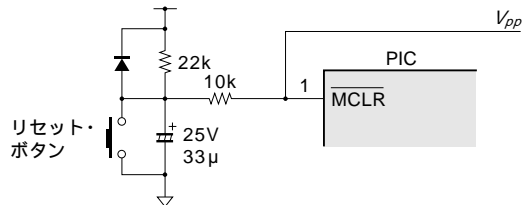


図6-3 基板上の外部パワー・オン・リセット回路



(a) テスト・ボード02



(b) テスト・ボード03

図6-4 MCLRへの V_{pp} の接続例

の抵抗を使用します。ここでは、ICSP(In Circuit Serial Programming: オンボード書き込み)でプログラマから V_{pp} の高電圧が加わるので、10kとして V_{pp} の負荷を少なくしています。MCLR端子の入力抵抗が十分大きいので10kの抵抗の電圧降下は検出できず無視できます。

図6-3には、テスト・ボード03の基板の上に組んだリセット回路例を示します。大きめの基板なので、少しゆったりと構成しました。テスト・ボード02では、この回路と異なり入力保護の抵抗を省き、オンボード・プログラムのために、プログラマからのプログラミングのための V_{pp} とリセットの切り替えためのスイッチを追加しています。

この部分の回路図を図6-4に示します。リセット回路を追加すると、DIPスイッチの設定を変更し、リセット・ボタンを押すとプログラムが再スタートし、直ぐにDIPスイッチの値が読み取られ、LEDの表示が変更されます。LEDの表示がカウント・ダウンされて0になるまで待たずに、DIPスイッチの値を確認したい場合に試してみてください。

電源立ち上がり時間に問題ない場合は、図6-1のように V_{DD} とMCLRを抵抗を介して接続し、内部のパワー・オン・リセットのみとすることもできます。

MCLR端子が“L”の間はリセット状態が保たれ、プログラムは開始しません。通常のパワー・オン・リセットは抵抗を介してコンデンサに充電する時間を利用して電源が安定するまでリセット状態を保ち、電源が安定したところでリセット状態を抜けるようになっています。このMCLR端子を複数のチップに接続すると、図6-5に示すように複数のチップを同じタイミングでスタートさせたり、別のチップに対してリセットを確実にかけることができます。

(3) WDT

ウォッチ・ドッグ・タイマ(Watchdog Timer)は、プログラムが正常に動作しなかったことを検出して、プログラムを再起動する機能で、プログラムの実行状況を番犬が見張っているのに見立ててこの名となっています。実際の動作は、カウント・アップするタイマが設定されていて、そのタイマの指定されている時間内に必ずタイマをリセットするようプログラミングしておきます。プログラムが異常になったとき、ウォッチ・ドッグ・タイマをリセットする部分を実行できないと、タイマがカウント・アップして最大値

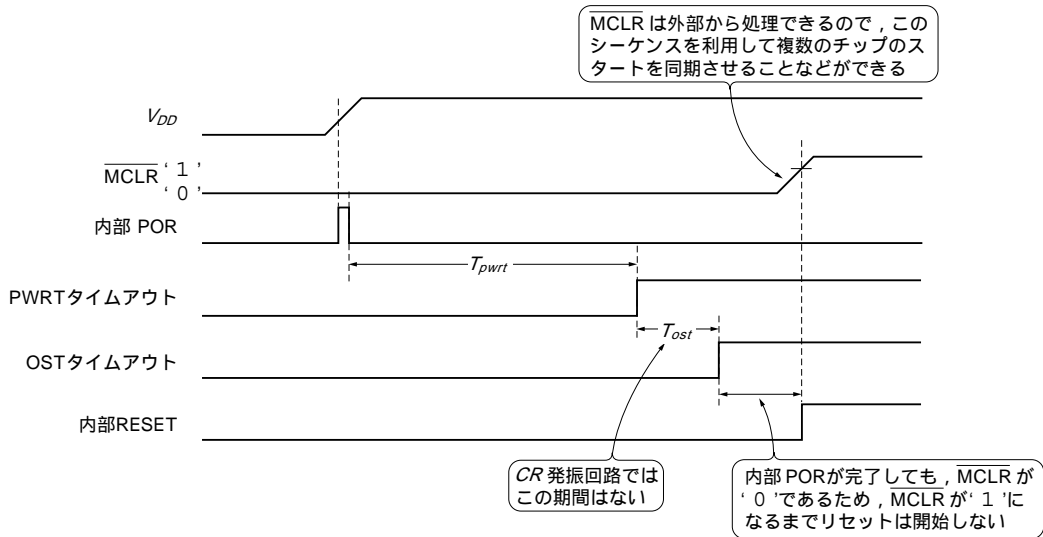


図6-5⁽³⁾ MCLRで複数のPICを同期してスタートさせる

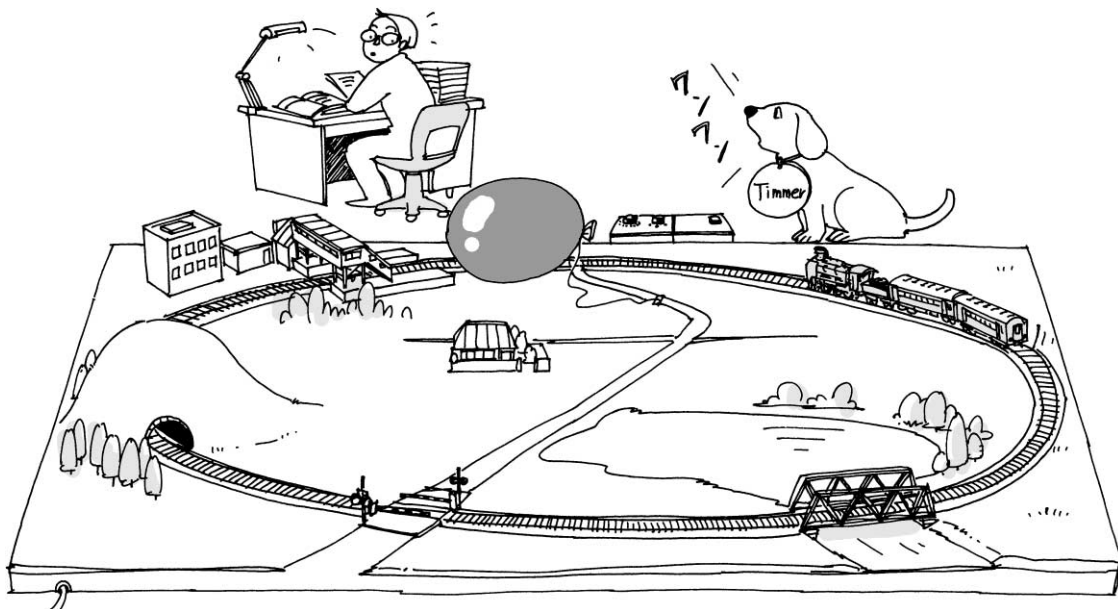


図6-6 番犬によるシステムの監視

所定の時間内にWDTをリセットしないと、システムはプログラムが正常でないと判断してシステムをリセットし、プログラムを再起動する。

を超えた(オーバーフローした)ときにWDTリセットがかかり、システムを再起動し、システムが正常状態に復帰するようにします(図6-6)。

WDTのクロックは、オンチップのRCオシレータを使っているときには基本タイミングの約18msとなっています。この範囲内にタイマをリセットするCLRWDI命令を実行しプログラムが正常に運用されていることを示さなければなりません。この18msでは時間的に厳しい場合、プリスケアラで1~128

倍まで引き伸ばすことができます。最大で2.3秒くらいになります。ただし、このプリスケアラはタイマ0と共用しているので、WDTまたはタイマ0のどちらかしか使用できません。

(4) ブラウン・アウト・リセット(BOR)

システムの稼動中に電源電圧が規定の電圧より低下した場合、システムの動作が適正でない可能性が考えられます。ブラウン・アウト・リセットは、このような場合に、システムをリセットする機能です。この機能を使うか使わないかはコンフィギュレーション・ビットの設定で行えます。電圧レベルは、16F877Aの場合 V_{DD} の範囲は4 ~ 5.5Vなので下限の4Vの電圧を標準のBOR電圧としています。データ・シート上は3.7 ~ 4.35Vの範囲に設定されています。この電圧を100 μ s以上の期間下回った場合にブラウン・アウト・リセットが働きます。また、この電圧を下回ったままだと再起動できません。brown outは電圧低下、灯火管制などの意味があります。

PIC自体の動作電圧範囲は広いので、かなりの電圧低下でも正常な動作をします。しかし、電源電圧に依存する機能、たとえば、A-Dコンバータやコンパレータ、そして5V単一でしか動かない外部のICなどが異常動作になったのにPICのプログラムがそのまま動き続けるのでは、正しいデータを読めない場合など出てきて、システムの信頼性が低下します。

16F877Aの低電圧の動作を調べるために、コンフィギュレーション・ビットBODENを'0'に、つまりブラウン・アウト・リセットをディセーブルに設定して乾電池で駆動してみました。2本の電池で動かし続け、電池が消耗して2.5Vになっていても、テスト・ボード01の回路は稼動しています。データ・シートに書かれた条件の範囲外ですが、ブラウン・アウト・リセットの機能を使用しないとPIC本体はかなりの低電圧でも動作するようです。

リセットの種類によって、起動時のレジスタの状況がそれぞれ異なっています。表6-1にまとめました。また電源投入時、その他のリセット時ではレジスタの状況も変わってきます。これらについても示しておきます。この表から、各リセット直後のシステムの状況が把握できます。

6-2 クロック

クロックは、外付けのRC発振回路を利用します。今回は動作確認が目的であることからクロックの精度はあまり問題にしていません。また、PIC16F87XAのデフォルトの設定が発振についてはRC発振となっていることもあり、テスト・ボード01ではRC発振回路としました。テスト・ボード03では発振部分をセラロックを使ってみることにしました。

セラロックへの変更

セラロックは村田製作所の登録商標で、無調整で利用できるセラミックの発振素子です。二端子のものと、コンデンサを内蔵してコンデンサを外付けすることなく、PICの発振回路にこの素子を接続するだけで発振させることができる三端子の製品があります。外形もビデオ・カメラなどの超小型電子機器用に使われるチップ・タイプ、今回用いた図6-7に示すようなリード・タイプなどがあります。基本的な性能は表6-2に示すように周波数精度も $\pm 0.5\%$ と通常の用途には十分な性能をもっています。

PICに接続する場合の回路図を図6-8に示します。三端子のセラロックの場合、中心のリード線がグラウンドになります。左右に違いはありません。図6-9に基板の部品面の様子、図6-10にユニバーサル基板裏の配線の様子を示しておきます。リード線とスズ・メッキ線 Ⓢ で配線してあります。コンデンサが

表6-1⁽²⁾ 特殊機能レジスタ(SFR)の初期値

アドレス	名称	機能	POR, BOR 後の値	MCLRのリセット, WDTのリセット後の値
00h, 100h 80h, 108h	INDF	FSRの内容のアドレスのデータ・メモリ (物理的には存在しない)	0000 0000	0000 0000
01h, 101h	TMR0	タイマ0のモジュール・レジスタ	xxxx xxxx	uuuu uuuu
02h, 82h 102h, 182h	PCL	PCの最下位バイト	0000 0000	0000 0000
03h, 83h 103h, 183h	STATUS	ステータス・レジスタ	0001 1xxx	000q quuu
04h, 84h 104h, 184h	FSR	間接データ・メモリ・アドレス・ポインタ	xxxx xxxx	uuuu uuuu
05h	PORTA	W/R: PORTA データ・ラッチ / PORTA ピン	--0x 0000	--0u 0000
06h, 106h	PORTB	W/R: PORTB データ・ラッチ / PORTB ピン	xxxx xxxx	uuuu uuuu
07h	PORTC	W/R: PORTC データ・ラッチ / PORTC ピン	xxxx xxxx	uuuu uuuu
08h	PORTD	W/R: PORTD データ・ラッチ / PORTD ピン	xxxx xxxx	uuuu uuuu
09h	PORTE	W/R: PORTE データ・ラッチ / PORTE ピン	---- -xxx	---- -uuu
0Ah, 8Ah 10Ah, 18Ah	PCLATH	PC上位5ビットへのライト・バッファ	---0 0000	---0 0000
0Bh, 8Bh 10Bh, 18Bh	INTCON	割り込み制御レジスタ	0000 000x	0000 000u
0Ch	PIR1	周辺機能の割り込みフラグ	0000 0000	0000 0000
0Dh	PIR2	CCP2, SSP 衝突, EEPROM ライト割り込みフラグ	-0-0 0--0	-0-0 0--0
0Eh	TMR1L	TMR1 レジスタの下位バイトへ	xxxx xxxx	uuuu uuuu
0Fh	TMR1H	TMR1 レジスタの上位バイトへ	xxxx xxxx	uuuu uuuu
10h	T1CON	タイマ1制御レジスタ	--00 0000	--uu uuuu
11h	TMR2	タイマ2モジュールのレジスタ	0000 0000	0000 0000
12h	T2CON	タイマ2制御レジスタ	-000 0000	-000 0000
13h	SSPBUF	同期シリアル・ポート受信バッファ / 送信レジスタ	xxxx xxxx	uuuu uuuu
14h	SSPCON	同期シリアル・ポート制御レジスタ	0000 0000	0000 0000
15h	CCPR1L	CCP レジスタ1(下位バイト)	xxxx xxxx	uuuu uuuu
16h	CCPR1H	CCP レジスタ1(上位バイト)	xxxx xxxx	uuuu uuuu
17h	CCP1CON	CCP1 制御レジスタ	--00 0000	--00 0000
18h	RCSTA	受信ステータスおよび制御レジスタ	0000 000x	0000 000x
19h	TXREG	USART 送信データ・レジスタ	0000 0000	0000 0000
1Ah	RCREG	USART 受信データ・レジスタ	0000 0000	0000 0000
1Bh	CCPR2L	CCP レジスタ2(下位バイト)	xxxx xxxx	uuuu uuuu
1Ch	CCPR2H	CCP レジスタ2(上位バイト)	xxxx xxxx	uuuu uuuu
1Dh	CCP2CON	CCP2 制御レジスタ	--00 0000	--00 0000
1Eh	ADRESH	A-D変換結果レジスタ・上位	xxxx xxxx	uuuu uuuu
1Fh	ADCON0	A-D変換レジスタ0	0000 00-0	0000 00-0
81h, 181h	OPTION_REG		1111 1111	1111 1111
85h	TRISA	PORTA データ方向レジスタ	--11 1111	--11 1111
86h, 186h	TRISB	PORTB データ方向レジスタ	1111 1111	1111 1111
87h	TRISC	PORTC データ方向レジスタ	1111 1111	1111 1111
88h	TRISD	PORTD データ方向レジスタ	1111 1111	1111 1111
89h	TRISE	PORTE データ方向ビットなど	0000 -111	0000 -111
8Ch	PIE1	周辺機能の割り込みイネーブル	0000 0000	0000 0000
8Dh	PIE2	CCP2, SSP 衝突, EEPROM ライト割り込みイネーブル	0000 0000	0000 0000
8Eh	PCON	パワー・コントロール・レジスタ	---- -qq	---- -uu
91h	SSPCON2	同期シリアル・ポート制御レジスタ2	0000 0000	0000 0000