

H8/3664内蔵のI²Cインターフェース・モジュールを使用したI²Cマスタ制御プログラムの作成

ハードウェア制御によるI²Cマスタ(H8)

この章では、H8 CPUが内蔵しているI²C制御ハードウェアを利用してI²Cマスタ機能をもつソフトウェアを試作し、ドライバとしてまとめます。次に、そのドライバを利用してI²C-EEPROMをリード/ライトさせて動作を確認します。

なお、スレーブ機と接続するマスタのアプリケーションでもこのドライバを使いますが、それについては第10章で説明します。

9-1 開発の手順

ハードウェアを制御する場合、まず初めにそのハードウェアがどのように働き、反応するかを理解することが必要です。初めて使用する場合は、予想していたとおりの動作をせずになかなか目的どおり動かないということもあります。マニュアルなどを読んでそのとおりにプログラムを作成したつもりでも、実際に作って動かしてみないとわからないこともあります。

今回も例によって、ごく単純なプログラムを作成して動作を確認しながら、それをベースに発展させていくようにします。

I²Cマスタの場合、スレーブが接続されていなくても、スレーブの応答がないことを別にすれば、単独でもある程度の動作の確認ができるので、スレーブよりもデバッグが容易です。

まずは、単純な送信と受信のプログラムを作成し、スレーブをつながない状態で動作させます。そのときのSCLおよびSDA信号の波形をロジック・アナライザで測定して動作を確認します。ここで動作が確認できたら、次はサブルーチンにまとめて、それらを組み合わせてI²C-EEPROMを制御することにします。

9-2 マスタ送信処理

まず、マスタ送信処理について、H8のI²Cインターフェース・モジュールの機能や使い方などを説明します。図9-1(a)にマスタ送信とそれに関連する処理のフローチャートを示します。

● レジスタの説明

I²Cを制御するのに直接関係あるレジスタを図9-2にまとめておきます。

“ICCR”レジスタの“ICE”は、I²C制御ハードウェアを使用できるようにするビットです。同レジスタ

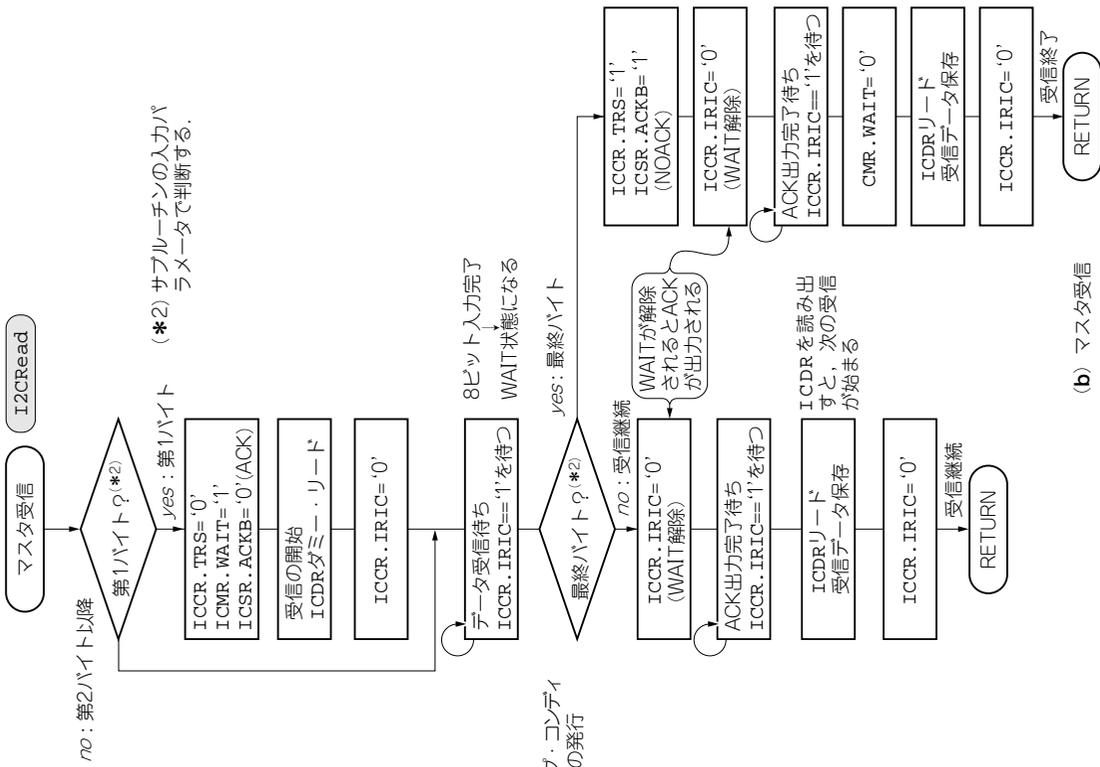
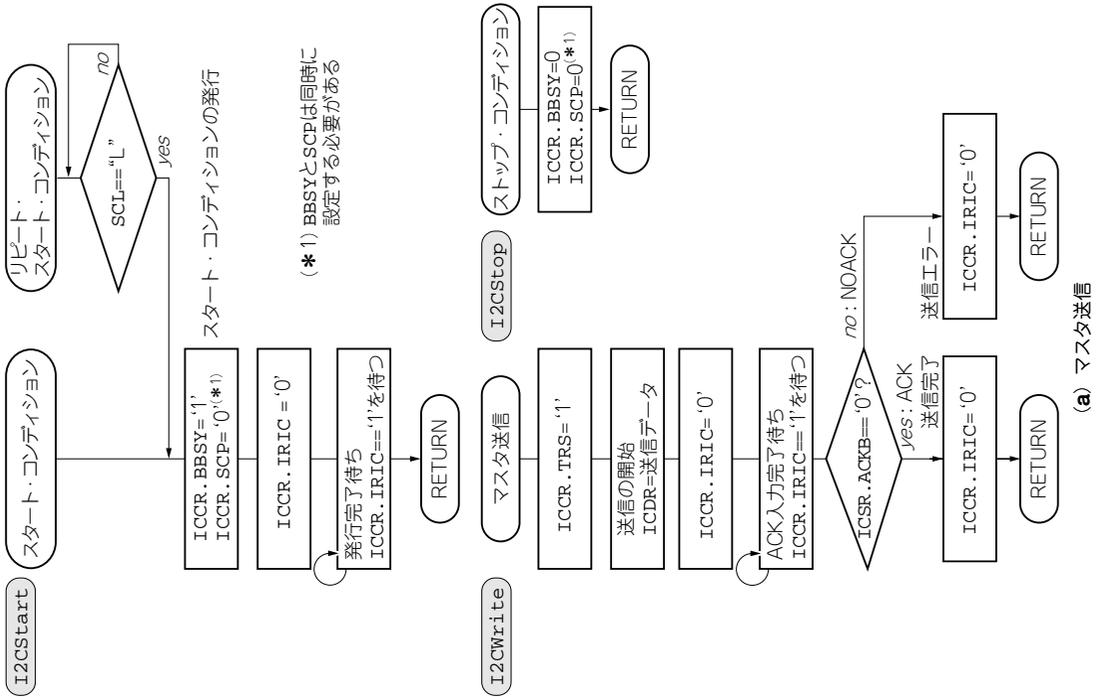


図9-1 H8マスタ・ドライバ・ルーチンのフローチャート
H8内蔵のI²Cインターフェース・モジュールを使用した制御ルーチンのフローチャート。“xxx.yyy”は“xxx”レジスタの“yyy”ビットという意味。



ICDR I²Cバス・データ・レジスタ

送信データ/受信データ							
b ₇							b ₀

SAR 第1スレーブ・アドレス・レジスタ

第1スレーブ・アドレス (7ビット)							FS
b ₇							b ₀

FS…………… 第1スレーブ・アドレスを使用する

SARX 第2スレーブ・アドレス・レジスタ

第2スレーブ・アドレス (7ビット)							FSX
b ₇							b ₀

FSX…………… 第2スレーブアドレスを使用する

ICMR I²Cバス・モード・レジスタ

MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0
b ₇							b ₀

MLS…………… ‘0’に固定 (I²Cインターフェース時)

WAIT…………… (マスタ時) ‘1’ : データ・ビット出力後のWAITあり / ‘0’ : WAITなし

CKS2~0…………… (マスタ時) TSCRレジスタのIICXビットと組み合わせて転送クロック・レートを選択

BC2~0…………… “000”に固定 (ノーマルI²C)

ICCR I²Cバス・コントロール・レジスタ

ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP
b ₇							b ₀

ICE…………… ‘1’ : I²Cインターフェース・モジュール有効 / ‘0’ : 無効

IEIC…………… ‘1’ : 割り込み有効 (IRICによる割り込み要求許可) / ‘0’ : 無効

MST…………… マスタ/スレーブ選択 ‘1’ : マスタ / ‘0’ : スレーブ

TRS…………… 送受信選択 ‘1’ : 送信モード / ‘0’ : 受信モード

ACKE…………… ACK判定 ‘1’ : NOACK受信時中断 / ‘0’ : NOACK無視

BBSY…………… (スレーブ時)バス・ビジー ‘1’ : S-P面 / ‘0’ : バスフリー (マスタ時) SCPビットと組み合わせてS/Pコンディション発行

IRIC…………… I²C割り込み要求フラグ 割り込み要因が発生したときに‘1’にセットされる

SCP…………… S/Pコンディション発行禁止 (BBSY,SCP)=(‘1’, ‘0’)でSコンディション, (‘0’, ‘0’)でPコンディション発行

ICSR I²Cバス・ステータス・レジスタ

ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB
b ₇							b ₀

ESTP…………… (スレーブ時) エラー検出 データ・ビット転送の最中にPコンディションを検出したときに‘1’にセットされる

STOP…………… Pコンディション検出 (正常終了時‘1’にセットされる)

IRTR…………… データの送信可または受信済みのときにセットされる割り込み要因フラグ

AASX…………… (スレーブ受信時) FSX==‘0’で第2スレーブ・アドレスを検出したとき‘1’にセットされる

AL…………… (マルチ・マスタ時) アービトレーション・ロスト・フラグ 競合負けしたときに‘1’にセットされる

AAS…………… (スレーブ受信時) FS==‘0’で第1スレーブ・アドレス, またはジェネラル・コール・アドレスを検出したときにセットされる

ADZ…………… (スレーブ受信時) ジェネラル・コール・アドレス検出 検出時‘1’にセットされる

ACKB…………… (送信モード時) 受信したACKビットの値 (受信モード) データ受信後に送信するACKビットの値

図9-2 I²C関連のレジスタ (H8)

H8/3664のI²C関係のレジスタの一覧。

の“MST”はマスタ/スレーブの切り替え, “TRS”は送信モード/受信モードを切り替えます。“BBSY”は“SCP”と組み合わせてスタート・コンディション/ストップ・コンディションの発行を制御します。

“ICMR”レジスタの“CKS2”~“CKS0”の3ビットと“CSTR”レジスタの“IICX”ビットのあわせて4ビットでI²Cの転送レートを指定します。

そのほかのレジスタについては, 機能ごとの記述をする中で説明します。

● 割り込み要因

今回, 本書で作るプログラムでは割り込みは使用しないで, 割り込み要因フラグをポーリングしてタイ