

## 第7章

# IP コアを使った LSI 設計事例

—— データ転送能力を最大限に取り出す

五十嵐 拓郎

本章では、PCI Express とローカル・バスのブリッジ LSI の設計を例にとり、FPGA (Field Programmable Gate Array) や ASIC (Application Specific Integrated Circuit) に、PCI Express バス・インターフェースを実現するための IP (Intellectual Property) コア選定手法について説明します。また、データ転送能力を最大限に取り出すための技術を解説します。

### 7-1 要求機能と性能の洗い出し

#### ● IP コアで PCI Express-ローカル・バスのブリッジ LSI を設計する

どのようなものを作る場合でも同じですが、最初に必要な機能と性能を洗い出します。高速データ転送技術を解説する例として紹介する PCI Express ブリッジ LSI (写真 7-1) では、最初に次のような要求がありました。



写真 7-1 PCI Express-ローカル・バス・ブリッジ LSI の例  
アパールデータ製「AAE-B04」。

## 第 8 章

# 信号品質の評価方法と コンプライアンス・テスト

—— ジッタやアイ・ダイヤグラムが分かる

畑山 仁

PCI Express で重要なのが相互接続性 (Interoperability) であり、これを保証するには、オシロスコープによる 2.5 Gbps、あるいは 5 Gbps の高速の物理層信号に対する信号品質テストが不可欠です。

本章は、信号品質の評価方法と相互接続性を保証するためのコンプライアンス・テストについて解説します。

### 8-1 要求される信号品質テスト項目

#### ● シリアル伝送はパラレル伝送と評価項目が異なる

PCI Express の評価にはさまざまな項目があります。中でもオシロスコープによる物理層信号に対する信号品質テストは不可欠です。信号が高速になると、インピーダンスの乱れや高周波損失など、伝送線路のさまざまな影響を受けて、アナログ的な信号品質の維持が困難になります。信号品質の劣化は伝送エラーに直結し、システムとしての信頼性を低下させます。また機器間の相互接続性 (Interoperability) のため、物理層の信号が規格で定められた仕様に適合していることの保証、すなわちコンプライアンス・テストが必要になります。

パラレル伝送とシリアル伝送では、信号やデータを測定する手法が大きく異なります。例えば信号振幅などを測らなければならない点は同じです。しかし、パラレル転送ではクロックとデータ・バス間のセットアップ/ホールド時間の余裕度を見るのに対して、シリアル転送ではアイ・ダイヤグラム測定法を用いてアイの開きぐあいを見ます。加えて、ジッタ解析が極めて重要となります。受信側でクロック・リカバリを伴うため、ジッタがビット・エラー・レート BER (Bit Error Rate) に直接影響するからです。

以下に、2.5 Gbps の品質テストの項目について説明します。

● アイ・ダイアグラム：信号の総合的な品質を評価する

図 8-1 に示すアイ・ダイアグラムは、後で紹介するマスク・テストと合わせて、コンプライアンスのための信号品質テストの中核です。

レシーバは、受信信号からクロックを正しくリカバリし、正しく論理値を判定してデータをリカバリできることが重要です。そのために必要なことは、

- ラッチ点で所望の信号レベルが確保されているかどうか？
- ラッチ点から信号のエッジ位置までの時間が確保されているかどうか？

です。その阻害要因(信号劣化)は、

- 振幅方向に関するもの
  - 信号レベルの低下
  - 信号のなまり
  - レベルの変動
  - ノイズ

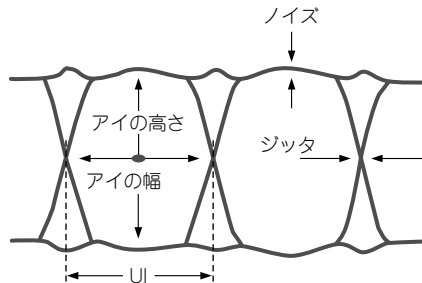


図 8-1 アイ・ダイアグラム測定法のパラメータ

アイ・ダイアグラムはリカバリ・クロックを基準に一連のデータ波形の重なりを表示することで、伝送特性を総合的に表現できる。シリアル信号の品質を評価する重要なテスト項目である。

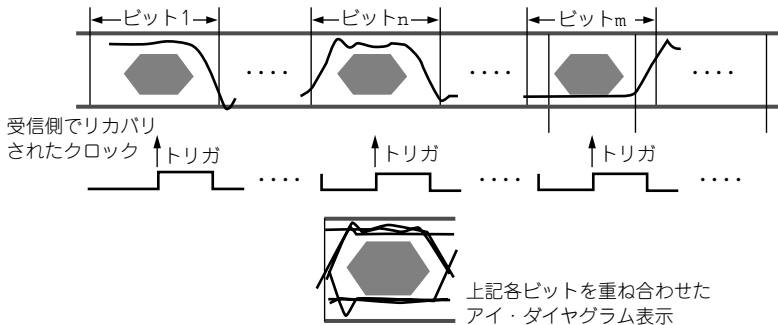


図 8-2 アイ・ダイアグラムの原理

信号がとりうる遷移を一つの画面にすべて表示する。こうすることで、アイ開口(高さ、幅)、ノイズ、ジッタ、立ち上がり/立ち下がり時間、振幅に関する情報が示される。

## 第 9 章

# ジッタ仕様と測定環境

—— 高速シリアル伝送で重要

畑山 仁

PCI Express のような GHz を超える信号を伝送する高速シリアル・インターフェースでは、ジッタが重要なポイントになります。

ここではジッタの仕様や測定に必要な機材を紹介します。

### 9-1 ますます重要になるジッタ測定

PCI-SIG では、Rev.2.0 で 5 Gbps を実現するためにジッタ・ワーキング・グループが結成されました。Rev.1.0a ではジッタにあいまいな部分が多々あったため、より厳密に規定すべく、ジッタ規格が見直されました。その結果、Rev.1.1 で主に次の 2 点が見直されました。

- ① リファレンス・クロックのジッタがシステムに与える影響
- ② ジッタをランダム・ジッタ、デタミニスティック・ジッタに分離して把握

#### ● クリーン・クロックの仕様と測定

ここでは①リファレンス・クロックのジッタがシステムに与える影響について解説します。

シリアル・インターフェースでは、通常、シリアル・ビット・ストリームから再生されたクロックを受信側で使用します。PCI Express では、アドイン・カードに対してシステム・ボード側からリファレンス・クロック (100 MHz 差動) を供給することを想定しています。

しかしスペクトラム拡散クロック SSC の変調周波数 (30 k ~ 33 kHz) の高調波成分や低周波のジッタ成分がリファレンス・クロックに重畳していると、システム全体のジッタが悪化します。そこで、リファレンス・クロックのジッタの影響を除去して純粋にトランスミッタのジッタだけを測るために、アイ・ダイヤグラ

# Appendix C

## ジッタの特徴と測定原理

—— ランダム・ジッタとデタミニスティック・ジッタ

畑山 仁

### ■ C-1 ジッタの種類と特徴

#### ● 長時間測定するほど大きなジッタが発生する可能性があるランダム・ジッタ $R_j$

ランダム・ジッタ ( $R_j$ ) は、熱雑音、フリッカ、ショット・ノイズなどにより発生します。これらの膨大な数の小さな影響の集まりは、統計物理学の基本定理の一つ、中心極限定理により、その確率密度関数(Probability Density Function)はガウス分布(正規分布)となります。ガウス分布は無限の広がりを持ちます(図 C-1)。ただし、中央(平均値)から遠くなるほど(すなわち大きいジッタになるほど)、発生確率は低くなります。

ジッタは中央に対して任意に発生しますが、短時間では中央から数  $\sigma$  (シグマ) の範囲で発生します。 $\sigma$  は平均的なばらつきの幅を表し、 $\pm 1\sigma$  の範囲に全体のおよそ 68% のデータが存在します。一方、 $\pm 7\sigma$  まで範囲を広げて考えた場合、99.999999999% のデータが存在することになります。逆に外側には 0.000000001% で、全体に対する外側の比率は 1 兆 : 1 となります。また、 $\pm 4.75\sigma$  で見ると、99.9999% のデータが内側に、外側には 0.0001% で、全体に対する外側の比率は 100 万 : 1 となります。

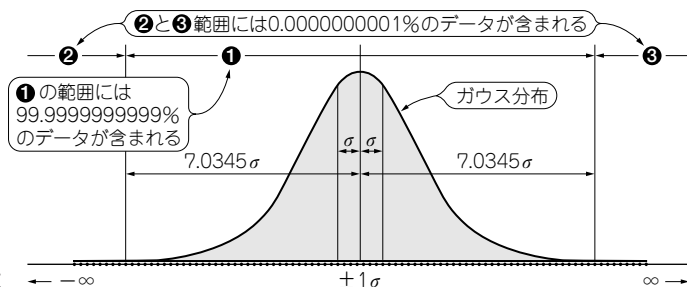


図 C-1 ランダム・ジッタの確率密度関数

## 第 10 章

# ソフトウェアの階層構造とハードウェアとの関連付け

—— アドレス空間を割り当ててハードウェア情報を格納する

永尾 裕樹

PCI Express のハードウェアは、物理層、データリンク層、トランザクション層の3階層から構成されています。その上位にはソフトウェア層が存在します。

本稿では、ソフトウェア構成や、CPU とハードウェアを関連付ける方法を解説します。

### 10-1 ソフトウェアの構成と役割

#### ● 接続されているハードウェアの機能を使えるようにする

PCI Express は主要なバス規格の一つです。パソコンの拡張スロット・バスだけでなく、組み込み機器の拡張バスや内部バス、LSI と FPGA 間の接続バスなど数多くの機器で利用されています。

PCI Express ソフトウェアの役割は、いずれのシステムにおいても、CPU が PCI Express バスの先に接続されている各種機能(ファンクション)へアクセスするためのデータ/制御バスを構築することが共通の目的です。

図 10-1 は PCI Express バスを持つハードウェアの構成例です。

通常、CPU が搭載されるマザーボード上には PCI Express のホスト機能を受け持つルート・コンプレックスや、スイッチを行うブリッジが搭載されています。各種機能が搭載された制御ボード(PCI Express アドイン・カード、マザーボード上に搭載される場合もある)上には、エンドポイントが搭載されています。

これらのルート・コンプレックス、ブリッジ、エンドポイントなどのハードウェアが PCI Express のハードウェアの構成要素となります。

PCI Express ソフトウェアは、これらの PCI Express ハードウェアを制御する役割を受け持ちます。PCI Express ソフトウェアは BIOS、バス・ドライバ、デバイス・ドライバ(バス・インターフェース制御部)で構成されます(図 10-2)。

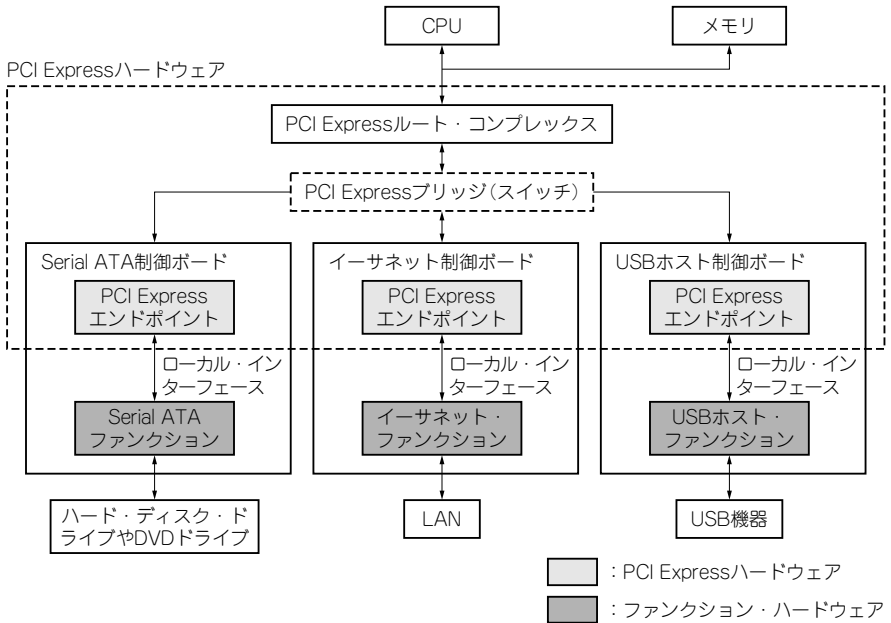


図 10-1 PCI Express バスを利用したハードウェア構成例

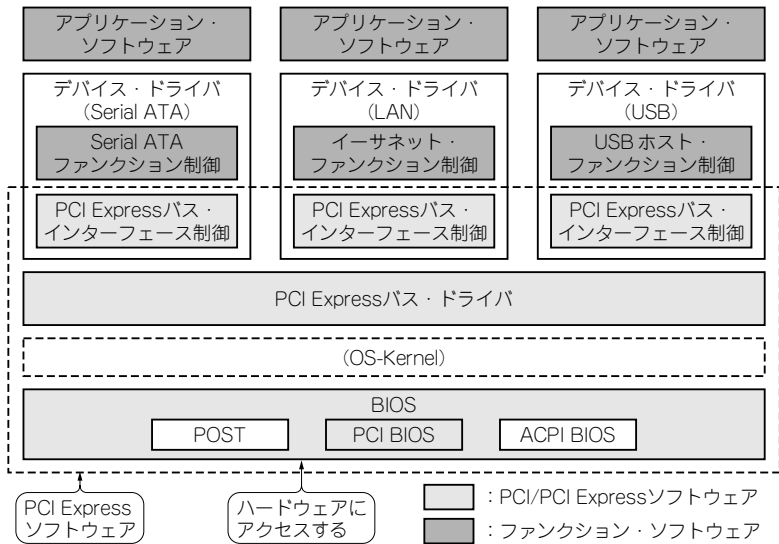


図 10-2 PCI Express ソフトウェアの構成例