

カラー・プレビュー

PCI Express アドイン・カード解体新書

福田 光治

パソコン内部で使われる PCI Express バス用アドイン・カードの詳細を写真 A に解説します。また写真 A の基板の機能ブロックを図 A に示します。

● FPGA の役割 (写真 A の A)

- ・ ユーザ回路が入っている
- ・ PCI Express の処理は IP コアを活用
- ・ PHY チップとのインターフェース PIPE を備える
- ・ そのほか DLL, CPU, RAM, FIFO などのインターフェースを備える

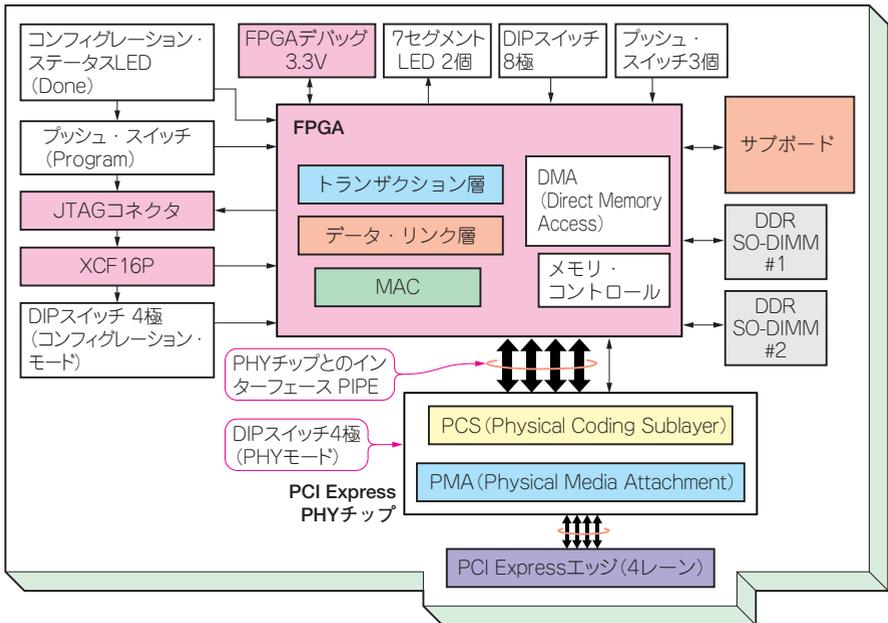
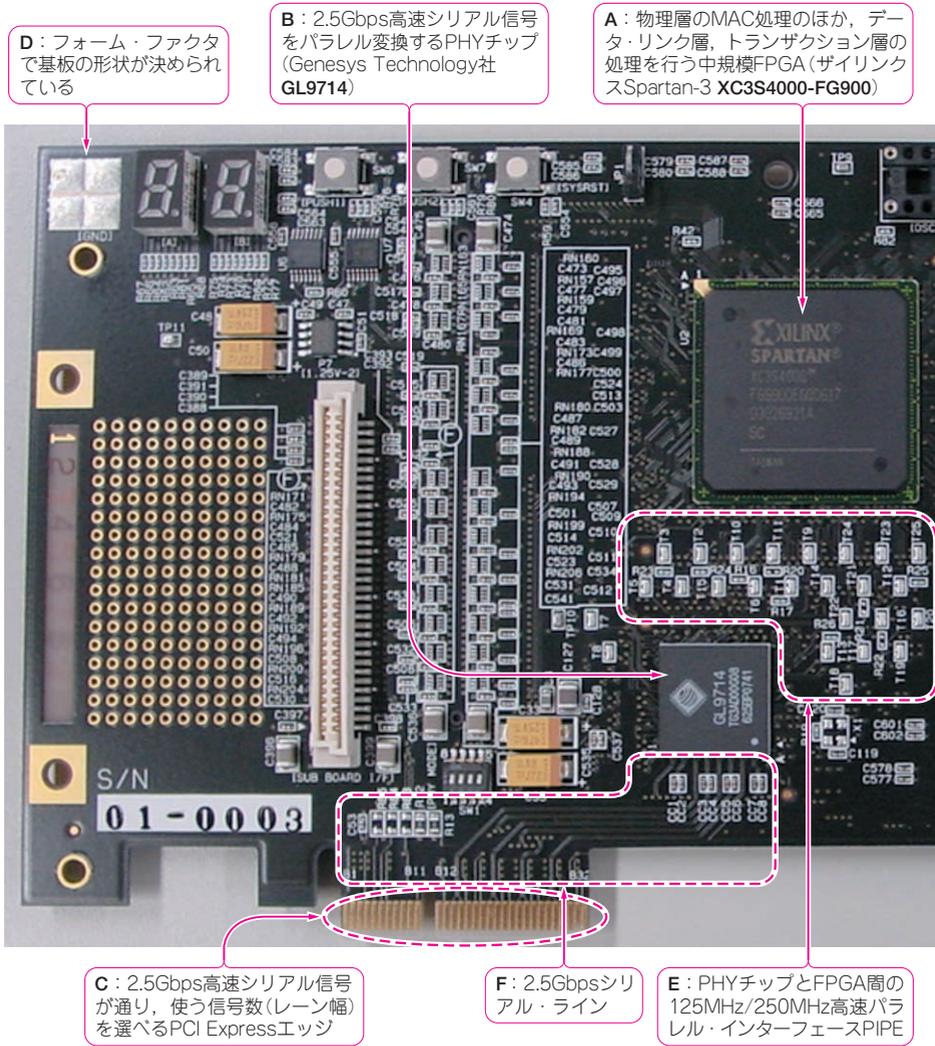


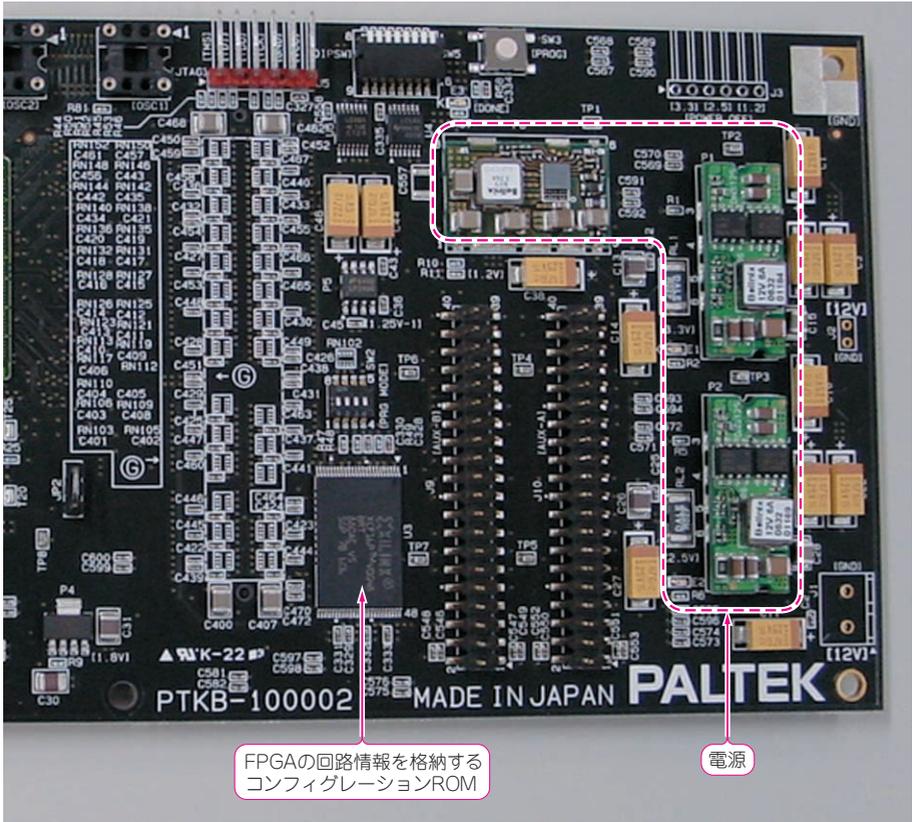
図 A アドイン・カードの機能ブロックの例



写真A アドイン・カード解剖図

PCI Express エンドポイントとなる x4 アドイン・カードの例。 Genesys Technology 社の PHY チップとザイリンクスの中規模 FPGA で構成される。

米国ザイリンクスの中規模 FPGA Spartan-3 を用いており、PHY チップから PIPE インターフェースを介して伝送されたデータを、PCI Express エンドポイント用ソフト IP コアによって処理することで PCI Express 接続を制御します。



この構成で、データのフロー制御やパケット化、エラー通知、割り込み挿入など、MAC層を含めた上位層(トランザクション層、データ・リンク層)の機能をすべて実現できます。

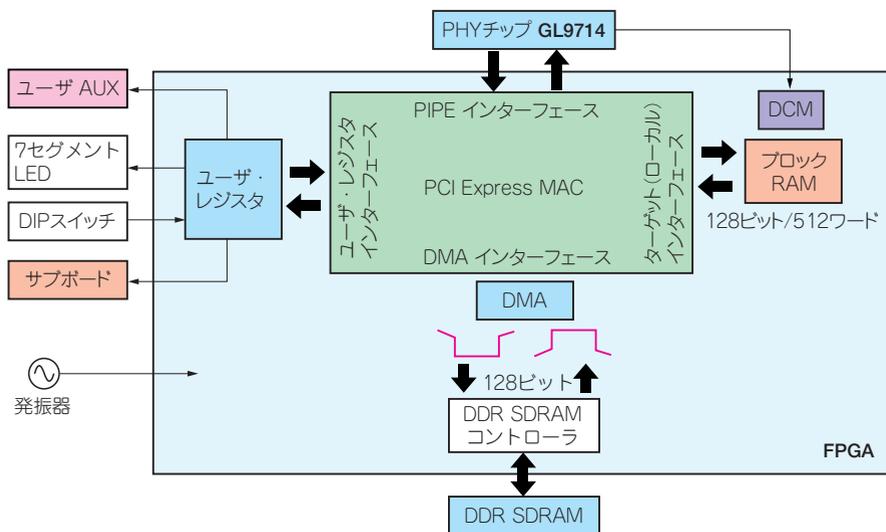


図 B PCI Express システムにおける FPGA の役割と概要

アドイン・カードに搭載された FPGA の機能を示す。特に MAC 層の処理とソフト IP コアで実装した DMA、PHY チップの関係を表す。

バースト転送方式でデータ伝送帯域を確保し、RAM などにダンピングする必要があるアプリケーションでは、ソフト IP コアの DMA (Direct Memory Access) コントローラを追加することで実現します。また、PIPE のデータ・クロック・タイミングは、FPGA 内の DCM (Digital Clock Manager) が持つ位相シフト機能や IOB (入出力ブロック) 内にある遅延エレメントを用いて調整できます(図 B)。

● PHY チップの役割 (写真 A の B)

- ・後段 LSI との平行・インターフェース PIPE
- ・8b/10b 符号化
- ・シリアル-パラレル変換 (SerDes)
- ・バッファ (FIFO) を備える
- ・PLL を備える
- ・シリアル信号からクロックを再生

写真 B のような PHY チップは、物理層機能を実現します。PMA (Physical



写真 B 2.5 Gbps シリアル信号を
125 MHz/250 MHz パラレル信号に
変換する PHY チップの例

Media Attachment)層では、SerDes を含むアナログ・ブロックが内蔵されており、2.5 Gbps のシリアル信号やデータからのクロック再生(CDR：Clock Data Recovery)機能などを実現します。また、PCS 層で 8b/10b 符号化/復号化や、レーン間の位相を補償するためのエラステック・バッファなどが搭載されています。選択する PHY チップが持つドライブ機能により、PIPE 転送時の動作モードが決定され、上位層への転送周波数やビット幅が定義されます。

● PCI Express エッジ (写真 A の C)

- ・ 電解金メッキ端子
- ・ 2.5 Gbps シリアル・インターフェースを伝送する
- ・ 100 MHz リファレンス・クロックを伝送する
- ・ $\overline{\text{PRSNT}}$ 、 $\overline{\text{WAKE}}$ を伝送する
- ・ 3.3 V と 12 V の電源供給

ホスト・コンピュータ(ルート・コンプレックス・デバイス)との接続のための、電解金メッキ加工されたコネクタ端子です。図 C のように 2.5 Gbps の差動シリアル信号やエンドポイント・デバイスへの 100 MHz リファレンス・クロックが伝送されます。活線挿抜対応ピン($\overline{\text{PRSNT}}$)やローパワー・ステート(L2 状態)からの復帰用信号($\overline{\text{WAKE}}$)などもアサインされています。

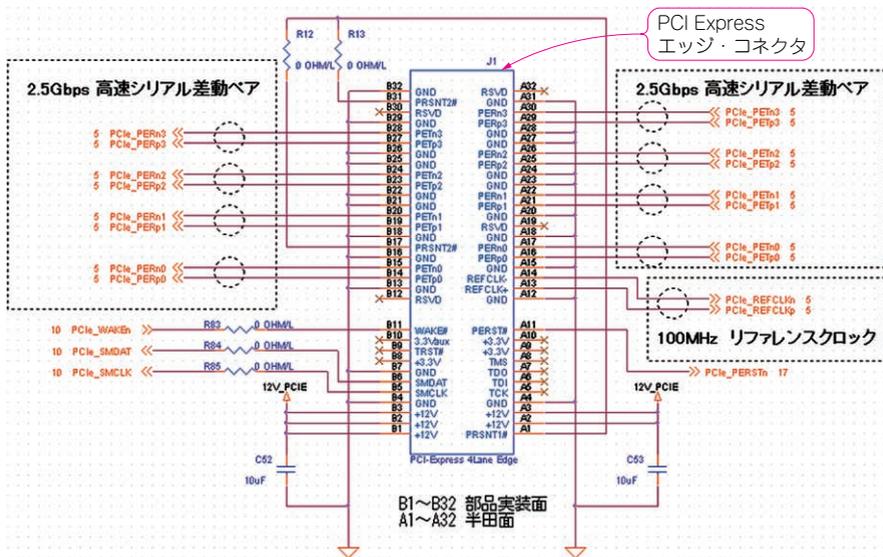


図 C PCI Express カード・エッジでやりとりされる信号(4 レーンの場合)

● フォーム・ファクタ(写真 A の D)

- ・アドイン・カード(CEM Specification)
- ・フル・サイズ：111.15 mm × 312 mm
- ・ロー・プロファイル：68.9 mm × 167.65 mm
- ・板厚：1.57 mm
- ・電力供給
 - + 3.3 V ± 9 %：最大 3 A
 - + 12 V ± 8 %：最大 5.5 A
 - + 3.3 V_{aux} ± 9 %：最大 375 mA
- ・実装面高さ規定：14.47 mm
- ・はんだ面高さ規定：2.67 mm

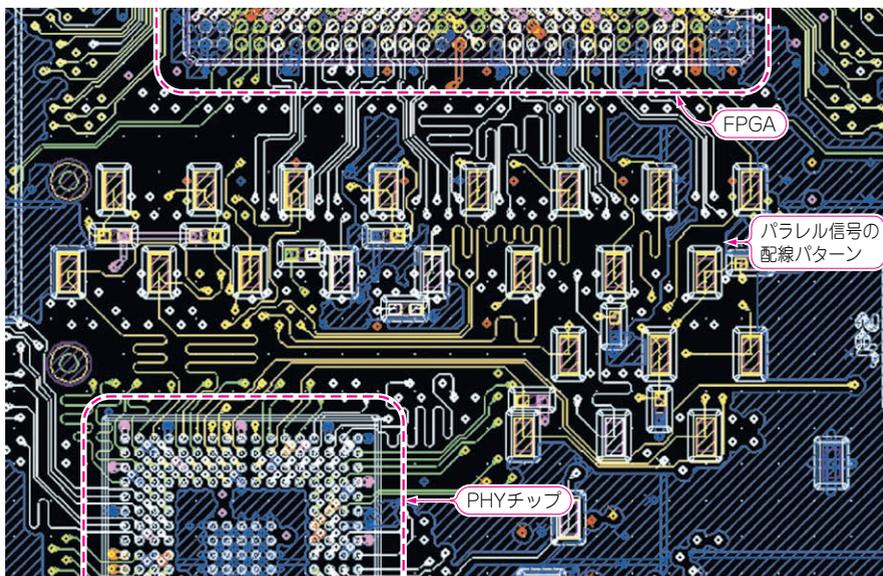
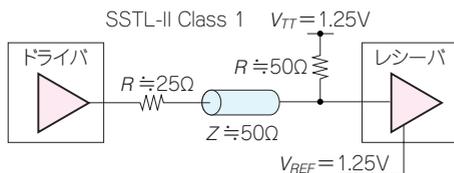
PCI Express プロトコルには、58 以上のフォーム・ファクタが存在します。その中でも、写真 A のようなアドイン・カードの場合、CEM Specification により各フォーム・ファクタが定義されています。特にオープン・システムで使用する場合、部品やケーブル、ボードの干渉を防止するためにはこの規定に準拠する必要があります。

● PHYチップと後段LSI間の125 MHz/250 MHz高速パラレル・インターフェース PIPE (写真AのE)

- ・電気特性は図DのようなSSTL-II I/O規格
- ・パラレル信号は125 MHz/250 MHz動作
- ・ソース・シンクロナス通信でクロック信号を使う
- ・COMMAND/STATUSなど各種制御信号をやりとり
- ・1レーンあたり8ビット/16ビットのデータを通信

図Eのように多くの高速パラレル信号を配線するので、パターン設計が難しくなります。

図D 電気特性にはSSTL-IIなどが使われる



図E 制御信号も含めて1レーンあたり30本以上の配線が必要なのでパターン配線が難しい

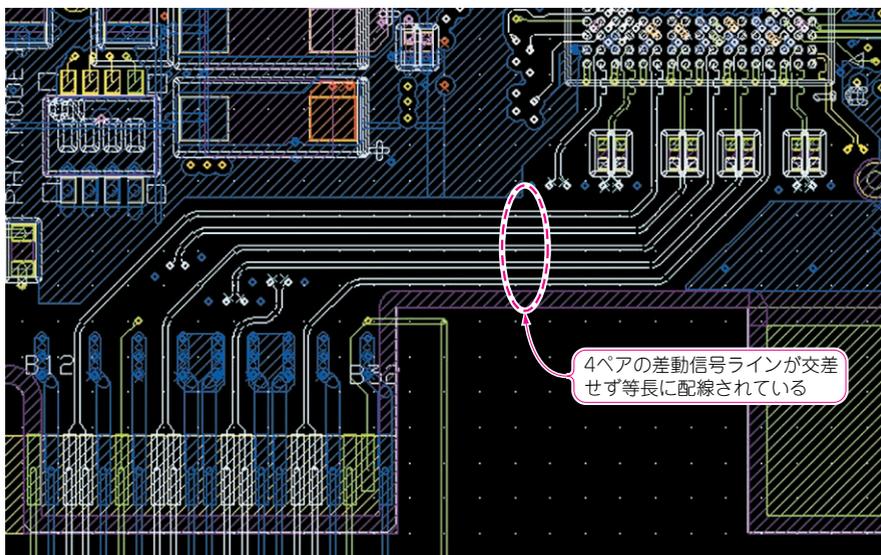


図 F 4レーンの場合の配線パターンの例

● PCI Express 2.5 Gbps シリアル信号 (写真 A の F)

図 F のように PHY チップからエッジまで、できるだけ差動パターンを交差させず、ビア接続を少なくし、等長になるように配線します。

● IP コアによる設計

PCI Express の設計において、FPGA や ASIC に搭載する IP コアには、主に物理層の IP コア (PHY チップ機能) と上位層の IP コア (エンドポイント・ブロック機能) が存在します。ザイリンクスの高性能 FPGA Virtex-5 LXT/SXT ファミリーでは、PCI Express の PHY 機能として RocketIO GTP トランシーバを使用できます。エンドポイント・ブロック機能はハード・マクロで内蔵しています。

2 チップのハードウェア構成の場合、ソフト IP コアを組み込みます。各 IP ベンダ (FPGA ベンダ、米国 NorthWest Logic 社や米国 PLD Applications 社) から PIPE インターフェースの種類 (標準 PIPE, PXPIPE, TI-PIPE など) や FPGA の種類に最適化されたソフト IP コアが提供されています。