

見本

れると、白色雑音レベルにより生ずる位相雑音が存在する。

発振器がこのような位相雑音を有する場合の、システムへの影響を図6-8に示す。図6-8は局部発振用トランジスタに1/f雑音がある場合を示

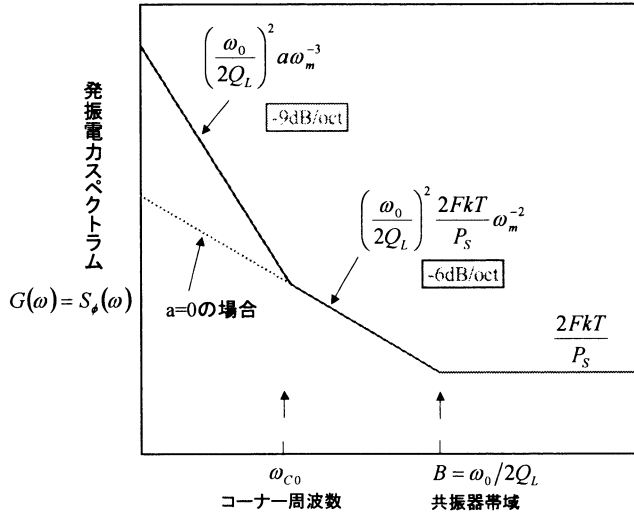


図 6-7 発振器の位相雑音の離調角周波数特性³⁾

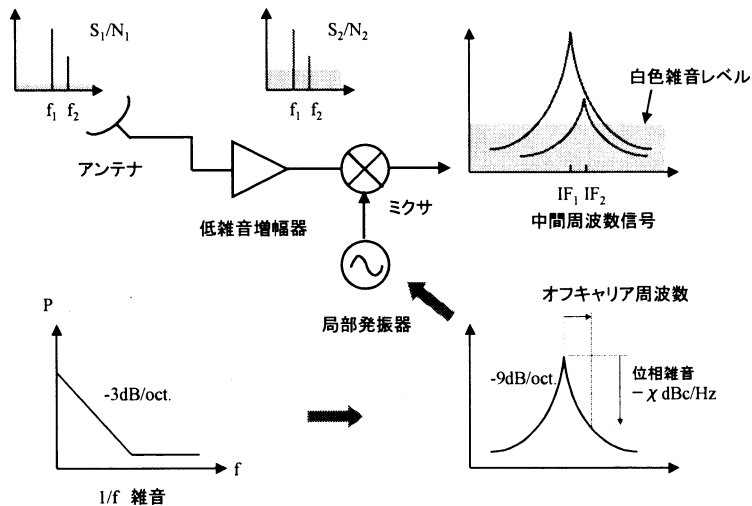


図 6-8 通信システムにおける位相雑音の影響

したものである。1/f 雑音とはベースバンドにおいて周波数が2倍になると雑音電力レベルが1/2になる雑音を意味する。この1/f 雑音と共振回路の Q_L より発振器が-9 dB/Octの位相雑音を有することは既に述べた。このような発振器をミキサ用局部発振器として用い、 f_1 、 f_2 の二つの異なった周波数の受信信号を中間周波数に変換すると、伴に白色雑音レベルより十分に信号レベルが大きい場合でも、位相雑音により互いの信号を干渉し合い復調できなくなる。このため通信システムにおいて、発振器の位相雑音低減は大変重要な課題の一つである⁶⁾。

6.3 位相雑音の低減

発振器の位相雑音を低減するには、(6-30)式からも明らかなように Q_L を大きくすることが有効である。例えば Q_L が10倍大きくなったとすると、発振器位相雑音は20 dB良くなる(1/100になる)。このため誘電体共振器など Q の高い共振器を発振回路に付加することが有効である。図6-9はマイクロストリップ線路の横に誘電体共振器を置いた場合の等価回路を表している。装荷された共振器は L 、 C 、 G の並列共振回路で表すことができる。

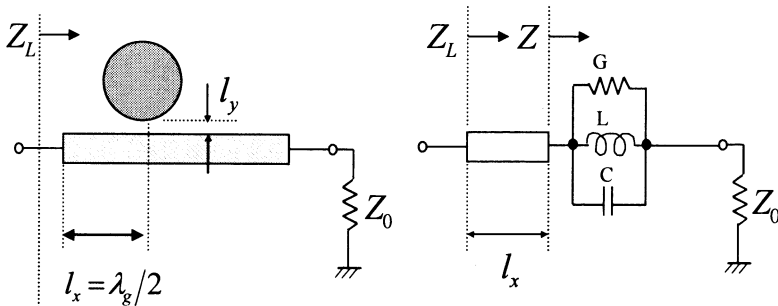


図 6-9 誘電体共振器の付加とその等価回路

見本

したがって共振器が装荷された点から右側を見込んだインピーダンス Z は次式のように表される⁴⁾。

$$Z = Z_0 \left\{ \frac{2Q_u}{Q_{ext}} \frac{1}{1 + jQ_u \left(\frac{\omega}{\omega_r} - \frac{\omega_r}{\omega} \right)} + 1 \right\} \quad (6-34)$$

$2Q_u/Q_{ext}$ は結合係数と呼ばれ β で表されることもある。 ω_r は共振角周波数、 Q_{ext} は外部 Q 、 Q_u は無負荷 Q であり、等価回路中のパラメータを用いて(6-35)式のように表現できる。

$$\begin{aligned} \omega_r &= 1/\sqrt{LC} \\ Q_{ext} &= 2\omega_r CZ_0 \\ Q_u &= \omega_0 C/G \end{aligned} \quad (6-35)$$

このような誘電体共振回路を発振回路に付加するには大きく別けて図 6-10 に示す 3 つの方法がある。図 6-10 (a) の構成は、図 6-2 (a) の回路に誘電体共振器を付加したものである。 l_1 の長さを 2 分の 1 波長とすると

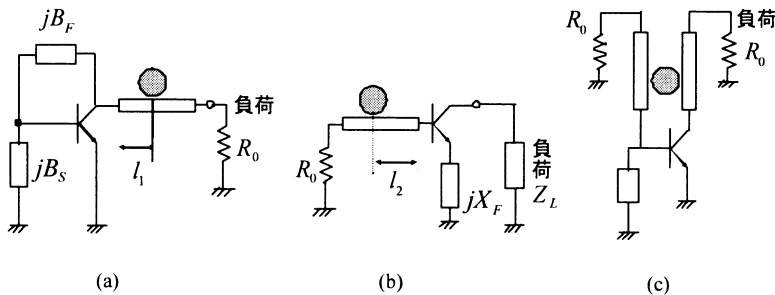


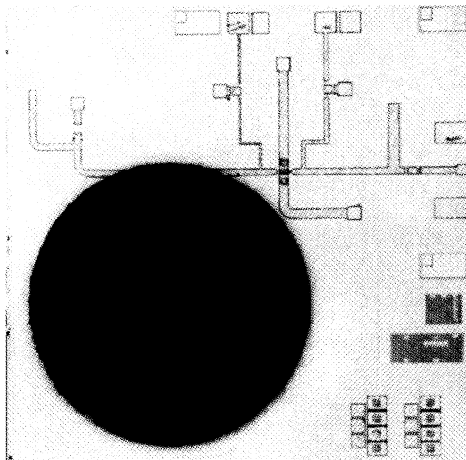
図 6-10 発振回路への誘電体共振器の付加

見本

等価的にトランジスタのコレクタ電極に共振器を直結したのと等価である。 l_y の大きさにより結合度は変わるが、 l_y を小さくして結合度を上げると Q_L が低下し位相雑音が劣化する。図6-10(b)の構成は、図6-2(b)の回路に誘電体共振器を付加したものである。誘電体共振回路は並列共振回路として表わされるので、共振周波数では無限大のインピーダンスとなり、長さ l_2 の先端開放のスタブをトランジスタ入力端子に設けたのと等価である。共振周波数から周波数がずれた場合には、誘電体共振回路は無限大のインピーダンスを急激に持たなくなるので長さ l_2 の先端開放のスタブをトランジスタ入力端子に設けたのと等価ではないことはいうまでもない。図6-10(c)はトランジスタの入出力間の帰還回路を、誘電体共振器と2本のマイクロストリップ線路の結合回路により実現しているものである。

このような誘電体共振器の付加により位相雑音を、自走発振周波数に比べて30 dBから20 dB改善できる。このことは誘電体共振器の付加により Q_L を10倍から30倍に増大できることを意味している。

図6-11はヘテロ接合FETのゲート側マイクロストリップ線路に円柱型(直径1.3mm, 高さ0.6mm)の $\text{Ba}(\text{Mg}, \text{Ta})\text{O}_3$ からなる誘電体共振器(無負荷



位相雑音: -88dBc/Hz
@100kHz
出力: 3.7 dBm
発振周波数: 55.135GHz

誘電体共振器付加による
位相雑音改善量: 20dB

誘電体共振器 Q_0 : 6000

図6-11 誘電体共振器を付加した55GHz帯ヘテロ接合FET発振器MMIC²⁾

Q=6000) を結合させた 55GHz 帯 MMIC 発振器である。位相雑音は 100 KHz オフキャリアで-88dBc/Hz, 出力は 3.7 dBm である²⁾。

6.4 位相同期回路

発振器の位相雑音は図 6-12 の位相同期回路によっても低減できる^{7) 8)}。位相同期回路の原理は、電圧制御発振器を低位相雑音の基準発振器に同期させることにより位相雑音を低減することにある。通常は基準発振器の周波数は電圧制御発振器の自走発振周波数比べて何桁も低い。このため、電圧制御発振器の発振周波数を分周器により分周し、この分周信号を基準発振器の位相と比較した後、位相誤差信号を電圧制御発振器に戻し発振周波数、位相を制御する。このため分周器の分周比を可変とすると、基準発振器の整数倍の周波数に対して離散的に位相同期させることができ周波数シンセサイザとすることができる。

位相同期回路では、図 6-12 に示すように位相雑音は電圧制御発振器のみが発生源ではなく、使用される分周器、逡倍器、ミクサなども位相雑音を新たに付加することに注意する必要がある。PLL 回路の出力位相 $\phi_{0,n}$ は、図 6-12 中位相検波器から PLL 出力に至る順方向パスに関して、

$$\phi_{O,n} = \left[(\phi_{i,n} - \phi'_{0,n}) K_d + V_{PD,n} + V_{F,n} \right] F_L(s) \cdot \frac{K_0}{s} + \phi_{OSC,n} \quad (6-36)$$

また PLL 出力から位相検波器に至る逆方向パスに関しては

$$\phi'_{O,n} = (\phi_{0,n} - \phi_{m,n} + \phi_{MI,n}) \frac{F_M(s)}{N} + \phi_{DN,n} \quad (6-37)$$

ただし、

見本

$$\phi_{i,n} = \frac{\phi_{r,n}}{Q} + \phi_{DQ,n} \quad (6-38)$$

$$\phi_{m,n} = M\phi_{r,n} + \phi_{MU,n}$$

である。(6-37) 式を(6-36)式に代入すると、PLL 回路の出力位相 $\phi_{o,n}$ は

$$\phi_{O,n} = \left[\left(\phi_{i,n} - \phi_{DN,n} + \frac{V_{PD,n} + V_{F,n}}{K_d} \right) \frac{N}{F_M(s)} + \phi_{m,n} - \phi_{MI,n} \right] \cdot \frac{F_M(s)F_L(s)K_dK_0/N_S}{1 + F_M(s)F_L(s)K_dK_0/N_S} + \frac{\phi_{OSC,n}}{1 + F_M(s)F_L(s)K_dK_0/N_S} \quad (6-39)$$

(6-39)式を近似表現することにより

$$\phi_{O,n} \cong \phi_{r,n} \left(M + \frac{N}{Q} \right) + \left(\phi_{DQ,n} - \phi_{DN,n} + \frac{V_{PD,n} + V_{F,n}}{K_d} \right) N + \phi_{MU,n} - \phi_{MI,n} \quad (6-40)$$

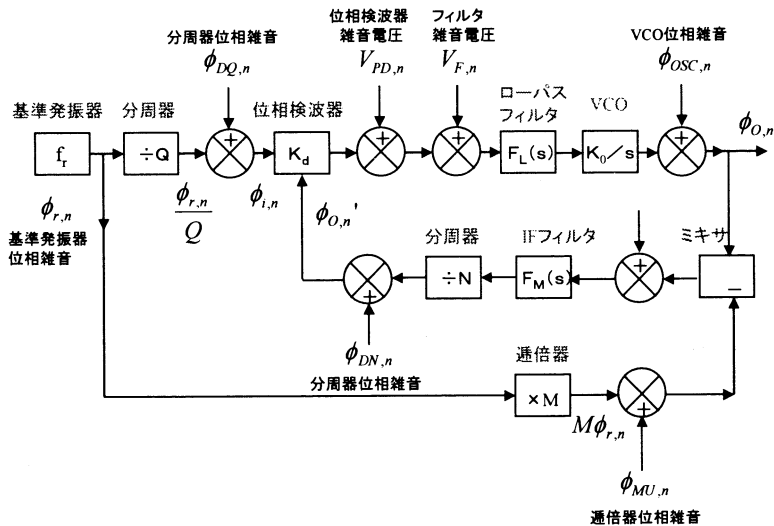


図 6-12 位相同期回路の基本構成と位相雑音抑制メカニズム