

第12章

差動インターフェース活用術

—— LVDS の概要と設計事例

富田幹貴, 井倉将実

差動インターフェース技術について解説します。特にLVDSに注目します。LVDSは、低電圧で高速にデータを伝送できるという特徴を持つ標準I/O規格です。最新のFPGAファミリでは、I/Oとして標準で対応しています。本章では、まず差動信号を用いる理由とLVDS規格の概要について解説します。その後、LVDSを採用した設計事例を紹介します。 (編集部)

USBやIEEE 1394は、パソコンを中心に広く用いられている身近なインターフェースです。従来のRS-232-Cやセントロニクス準拠のプリンタ・インターフェースと異なり、高速な最新のインターフェースは差動(differential)信号を用いています。

差動インターフェースは、最近登場した斬新な技術というわけではありません。専用のインターフェースICを利用すれば、これまででも実現可能でした。FA分野でよく使われているRS-422は、差動インターフェース規格の一つです。

特定の分野で標準的に利用されてきた差動インターフェース規格ですが、最近になって、分野を問わず注目されるようになりました。この理由としては、取り扱う信号の高速化やシステム電源の低電圧化などが考えられます。標準機能として差動インターフェース規格に対応した汎用LSIも登場してきています。筆者は、今後ますます差動信号が利用されるだろうと予想しています。

そこでここでは、差動信号の基礎と差動インターフェース規格の一つであるLVDS(Low Voltage Differential Signal)の概要について解説します。

1 シングルエンド信号と差動信号の違い

TTLインターフェースやCMOSインターフェースのように、グラウンド(0V)を基準に信号の電圧レベルで“L”と“H”が決まる信号は、シングルエンド(single-ended)信号と呼ばれています(図1)。

● シングルエンド信号の特徴

現在、広く使われているシングルエンド信号は、3.3V系のTTL規格であるLVTTTLだと思います。LVTTTLは、グラウンド・レベルを基準にして、+2.0V以上を“H”レベルに、+0.8V以下を“L”レベルにすると規定されています。

一般に、LVTTTLのようなシングルエンド信号では、高速なインターフェースを実現するのは困難と言われています。100MHz程度までは実際に使われていますが、それ以上になると、ノイズの影響、信号線の引き回しなどの問題に直面します。特に広いデータ・バンド幅が必要なときにシングルエンド信号を束ねて使おうとすると、この問題は大きくなります。

シングルエンド信号で高速に伝送しようとする時、信号の立ち上がりや立ち下がりが急しゅんでなければなりません。これに伴い、出力スイッチング・ノイズであるオーバシュートやアンダシュートを引き起こします。また、同時に多ビットの信号が遷移するとき、グラウンド・レベルが影響を受けるグラウンド・バウンスを考慮しなくてはなりません。伝送線路インピーダンスの不整合から起こる反射の影響もシビアになってきます。

このような問題から、シングルエンド信号では250MHzが限界ではないかといわれています。

図1
シングルエンド方式

グラウンド(0V)を基準に信号の電圧レベルで“L”と“H”が決まる。3.3V系のTTL規格であるLVTTTLでは、+2.0V以上を“H”レベル、+0.8V以下を“L”レベルとする。



図2
差動方式

差動インターフェースは、一つの信号当たり2本の信号がかならず使われる。二つの信号の電位差が信号レベルになる。例えば差がプラスであれば“H”，マイナスであれば“L”のように認識する。

