

## 第13章

# FPGA を使うために求められる 電源システムを考える

—— 低電圧・多電源化に対応する回路設計技術と部品選択法

月元誠士

LSI 設計・製造技術の進歩により、一つの LSI でも高度な機能を実現できるようになりました。しかし、製造プロセスの微細化に伴う低電圧化、高機能化に伴う多電源化により、LSI を動かすために高度なテクニックが要求されるようになっていきます。本稿では、低電圧・多電源のプリント基板における電源システム設計の基本的な考えかたを解説します。 (筆者)

LSI を動作させるために、電源が必要になります。この「電源」ですが、デジタル回路の設計に携わっている人であれば、定電圧の供給源または一定電圧そのものをイメージされると思います。そして「指定した電圧が確実に供給されるもの」という前提でとらえているようです。

これは理想的な電源の姿です。現実にはまったく当てはまりません。電源回路の内部インピーダンスや配線インピーダンス、電源ライン・フィルタによる電圧降下、電源自体や LSI から発生するスイッチング・ノイズなどが存在し、きれいに一定電圧を出力する電源というものは実現できないのです。

この現実が、最近、さまざまな問題を引き起こしています。

## 1 最新 LSI の電源条件と回路設計時の問題

FPGA のデータシートを見ると、電源に関するさまざまな条件が規定されています<sup>(1)~(9)</sup>。この条件を守らないと、LSI が正しく動作しないばかりか、破壊につながることもあります。

# FPGA を使うために求められる電源システムを考える

表1 FPGAの電源条件の例

品種 (プロセス)	コア電源の 電圧と精度	そのほかの電源の 要求精度	電源立ち上げシーケンス	ランプ・レート (立ち上げ時間)	そのほかの条件
Virtex-II Pro (130nm)	1.5V ± 5%	$V_{ccaux}$ : 変動(ノイズ)は 200mVp-p以下かつ変化速 度10mV/ms以下	$V_{ccaux}$ は $V_{cco}$ より先または 同時	$V_{ccint}$ : 0 ~ 最小値(1.5V - 5%)を200 $\mu$ s ~ 50msで 立ち上げる	
Virtex-II (150nm/ 120nm)	1.5V ± 5%	$V_{ccaux}$ : 変動(ノイズ)は 200mVp-p以下かつ変化速 度10mV/ms以下	<ul style="list-style-type: none"> <li><math>V_{ccint}</math> のランプ・レートが 10ms以上なら、<math>V_{ccint}</math> は <math>V_{cco}</math>, <math>V_{ccaux}</math> より先</li> <li><math>V_{cco}</math> が <math>V_{ccaux}</math> より先にな ると、<math>V_{cco}</math> 各バンクに300 mA(最大値)流れる</li> </ul>	<ul style="list-style-type: none"> <li><math>V_{ccint}</math>, <math>V_{ccaux}</math> : 0 ~ 最小 値(-5%)を200 <math>\mu</math>s ~ 50msで立ち上げる</li> <li><math>V_{cco}</math> : 0 ~ 最小動作電圧 を200 <math>\mu</math>s ~ 50msで立ち 上げる</li> </ul>	立ち上げ時の 電源電圧はデ ィップがなく 単調に上昇す ること(メーカ からの情報)
Spartan-3 (90nm)	1.2V ± 5%	$V_{ccaux}$ : 2.5V ± 5%	立ち上げ順序は任意	<ul style="list-style-type: none"> <li><math>V_{cco}</math> : 600 <math>\mu</math>s以上 (XC3S200, 400, 1500)</li> <li><math>V_{cco}</math> : 2.0ms以上 (上記以外の品種)</li> </ul>	$V_{ccint}$ , $V_{cco4t}$ は 0.4 ~ 1.0Vの間 を、 $V_{ccaux}$ は0.8 ~ 2.0Vの間をデ ィップなく上が ること

そのほかの条件：アナログ電源(マルチギガビット・トランシーバ使用時)はほかの電源から分離し、ノイズを極力抑えること

(a) Xilinx社のFPGAの例

品種 (プロセス)	コア電源の 電圧と精度	そのほかの電源の 要求精度	電源立ち上げシーケンス	ランプ・レート (立ち上げ時間)	そのほかの条件
Stratix (90nm)	1.2V ± 42% (±0.05V)	$V_{cca}$ : PLL用のアナログ電 源であり、デジタル部の 電源と分離してノイズを落 とす必要がある	$V_{ccio}$ , $V_{ccpd}$ , $V_{ccint}$ の立ち 上げ順序は任意	すべての $V_{cc}$ は10ns ~ 100msで立ち上げる	$V_{ccint}$ , $V_{ccio}$ : 電源電圧は単調 に上昇すること 、パワーダウ ン時は100ms 以内に同期
Stratix (130nm)	1.5V ± 5%	$V_{cca}$ : PLL用のアナログ電 源であり、デジタル部 の電源と分離してノイ ズを落とす必要がある	$V_{ccio}$ , $V_{ccint}$ の立ち上げ順 序は任意	すべての $V_{cc}$ は100ms以下 で立ち上げる	単調に上昇す ること
Cyclone (130nm)	1.5V ± 5%	$V_{cca}$ : PLL用のアナログ電 源であり、デジタル部 の電源と分離してノイ ズを落とす必要がある	$V_{ccint}$ , $V_{ccio}$ の立ち上げ順 序は任意	すべての $V_{cc}$ は100ms以下 で立ち上げる	単調に上昇す ること

(b) Altera社のFPGAの例

## ● 低電圧化に伴う問題

高精度な安定化電源装置をプリント基板に接続し、電源を供給するものとします。プリント基板の両端で電圧を測定してみると、電圧値はかならず異なります。また、回路の動作によって電源にはノイズが重畳します。このノイズのようすも、プリント基板の場所によって異なります。

電源電圧が変化したり、ノイズが乗るといった現象は、従来から起こっていました。そして、LSIの動作電圧が下がるに従って、いっそう深刻な問題となりました。

表1に最近のFPGAの電源条件を示します。最新のFPGAは90nmプロセスで製造されており、コア電