

第1章

FPGA/CPLDの基礎と最新動向

——プログラマブル・デバイスを使い始めるために

荒井航平，井倉将実

プログラマブル・デバイス (PLD : programmable logic device) は、その名まえのとおり、機能をユーザ (回路設計者) がプログラムできるLSIです。ここでは、PLDというLSIの特徴と、最近のトレンドについて解説します。

(編集部)

FPGA (field programmable gate array) がとても身近なものになりました。

無償で提供される開発ソフトウェアがあり、数千円～数万円で開発を始められます。しかもFPGAの性能は上がり続けているにもかかわらず、単価は下がっています。

1 FPGAとCPLDの特徴

プログラマブル・デバイス (PLD : programmable logic device) には、大きく分けてCPLD (Complex PLD) とFPGAがあります (図1) 。

FPGAは、ユーザの手元で回路構成の書き換えができるゲートアレイとして誕生したLSIです。比較的最近までは、ASIC (ゲートアレイやセル・ベースIC) の試作のため、あるいは数十台程度の少量生産システムでのみ用いられてきました。ところが最近のFPGAは、ゲートアレイ市場を侵食し始めています。携帯電話の基地局やバックボーンを支える各種ネットワーク機器、サーバ、地上波デジタル (地上デジタル) 局の装置、計測器、業務用ゲーム機器など、あらゆる組み込み機器で利用されていると言っても過言ではないほど、あたりまえのように使われています。さらには量販店で販売されている電気製品にも採用され始めています。代表的な例として液晶テレビやプラズマ・テレビがあります。多くのファミリーがFPGA

ベンダ各社から発売されており、用途に応じて使い分けができます(表1)。

● CPLDとFPGAの構造の違い

CPLDは、複数のPLDブロックとそれらを接続するためのひとまとまりの配線領域で構成されます。このPLDブロックは、マクロ・セルと呼ばれるAND-ORゲート、D型のフリップフロップ、I/Oピンで構成されています。

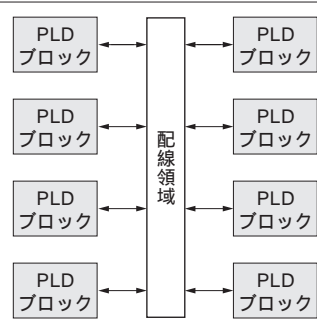
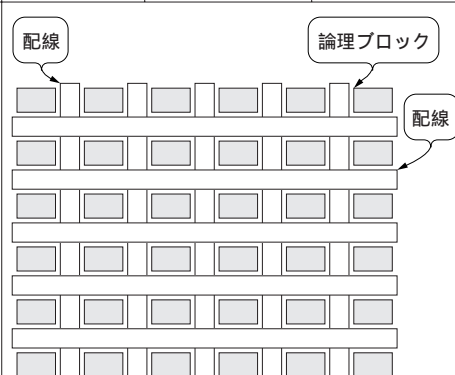
	CPLD	CPLD/FPGA	FPGA		
プログラム素子	EEPROM セル	SRAM + フラッシュ・メモリ	SRAMセル	フラッシュ・メモリ	アンチヒューズ
プロセス(μm)	0.18 ~ 0.25	0.13 ~ 0.18	0.09 ~ 0.18	0.13 ~ 0.18	0.18 ~ 0.22
ゲート規模	小規模	小規模	大規模	中大規模	中規模
再書き込み	可能	可能	可能	可能	不可
基本構造		製品により異なる (左のCPLD構造 または右のFPGA 構造)			

図1 CPLDとFPGAの比較

表1 主要なCPLDファミリ

メーカー	ファミリ名
Altera社	MAX 7000S/AE/B MAX 3000A MAX
Lattice Semiconductor社	ispMACH 4A ispMACH 4000 ispXPLD 5000 Mach XO
Xilinx社	XC9500XL CoolRunner XPLA3 CoolRunner-II

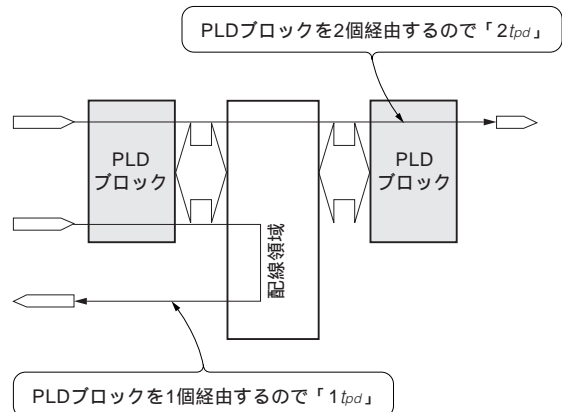


図2 CPLDの構造とマクロ・セルの遅延