

第7章

Quartus II 活用チュートリアル

松下 仁

ここでは、米国 Altera 社の FPGA を使用した開発に不可欠なソフトウェア・ツール「Quartus II Web Edition 7.0」の使いかたを解説する。実際に行う作業を具体的に示しているのので、同じように操作すれば FPGA 設計を体験できる。
(編集部)

米国 Altera 社の FPGA/CPLD 開発ツール「Quartus II Web Edition 7.0 (以降, 「Quartus II」と呼ぶ)」は、設計入力や論理合成, タイミング解析, 機能/タイミング・シミュレーション, FPGA/CPLD への回路データの書き込みなど, FPGA/CPLD 設計に必要な基本機能を備えています。ここでは、インストールと基本操作について具体的に説明します。Quartus II は、本書付属の DVD-ROM に収録されています。また、最新版は日本アルテラのホームページ (<http://www.altera.co.jp/>) からダウンロードすることができます。

1 インストール前の準備

● 動作環境

Quartus II を動作させるために必要なパソコン環境を表1に示します。また、ライセンスの認識のために、ネットワークにつながってなくても LAN インターフェースが必須です。ライセンス取得時にはインターネット接続環境と Web ブラウザ (Internet Explorer 5.0 以降), 電子メールを使用します。

ダウンロード・ケーブルとして ByteBlaster II を使用する場合はパラレル・ポートが、USB Blaster を使用する場合は USB ポートが必須です。

● ライセンスの取得

Quartus II を使用するにはライセンスを取得する必要があります。ライセンスなしでも 30 日間は使用できますが、回路データを FPGA/CPLD へダウンロードできません。かならずライセンスを取得してく

表1
Quartus II Web Edition 7.0の
推奨動作環境

CPU	Pentium II 400MHz 以上
OS	Windows 2000/Windows XP
メイン・メモリ	512M バイト以上
ハード・ディスク	2G バイト以上の空き容量 (インストールのみ)
その他	SVGA 以上のディスプレイ CD-ROM ドライブ パラレル・ポート (ByteBlasterMV, ByteBlaster II を使用する場合) USB ポート (USB Blaster, MasterBlaster を使用する場合) シリアル・ポート (MasterBlaster を使用する場合) LAN インターフェース TCP/IP プロトコル Internet Explorer 5.0 以降のブラウザ 電子メール環境

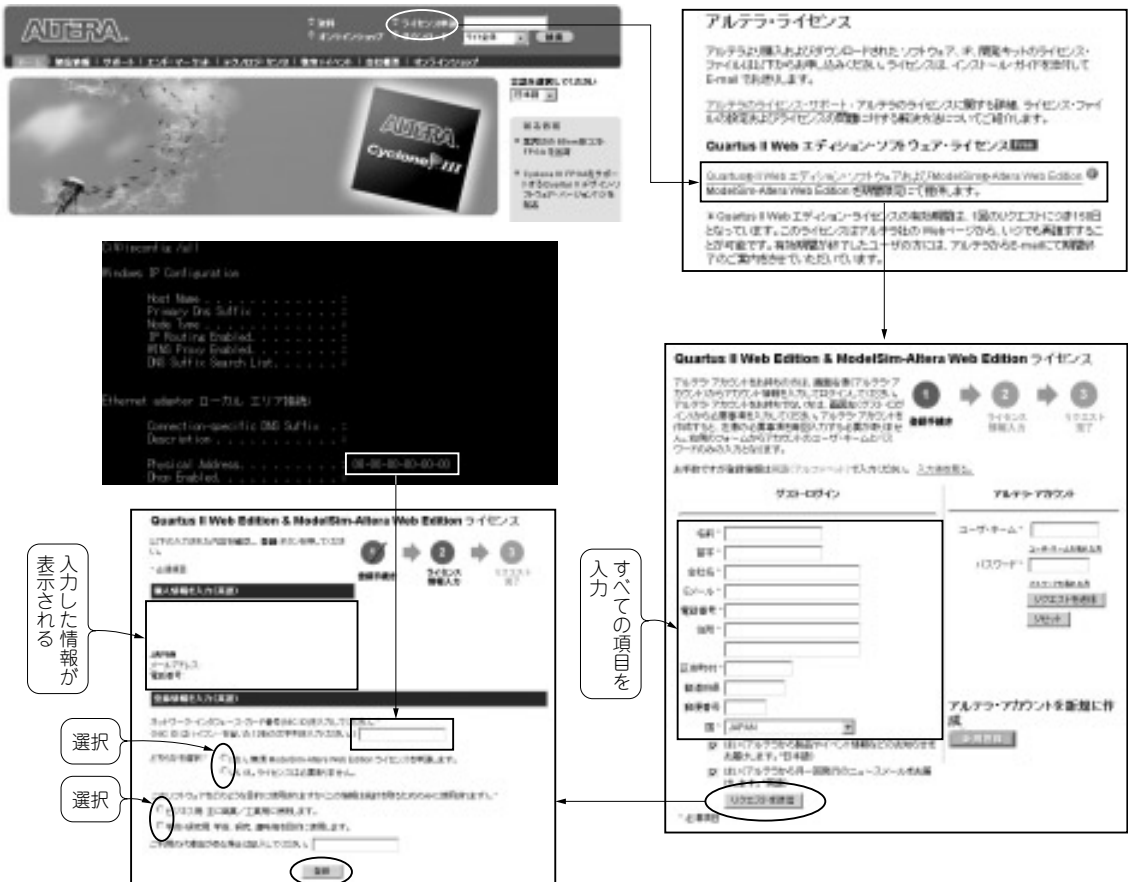


図1 ライセンス申請