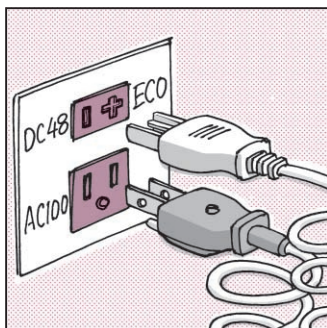


第1章



スイッチング電源・高性能化のメイン・デバイス パワー MOS FET の最新動向と 応用のポイント

山川 功/横田 誠/来島 正一郎

Isao Yamakawa/Makoto Yokota/Shoichiro Kurushima

スイッチング電源のメイン・デバイスがバイポーラ・トランジスタからパワー MOS FET に転換して二十数年にはなるでしょうか。パワー MOS FET がスイッチング素子のメインとなった理由の大ききは、マイコンやメモリなどデジタル IC のメインが CMOS (Complementary MOS) となって大きく発展したと無関係ではありません。

スイッチング電源におけるメイン・デバイスがパワー MOS である時代はまだ続きそうです。東芝のパワー MOS FET を例に技術動向と応用のポイントを紹介します。

スイッチング用パワー・デバイスの あらまし

● パワー・デバイスの種類と適用領域

スイッチング用パワー・デバイスは、半導体プロセスと設計技術の進展に伴い、大幅な性能改善が進んでいます。パワー・デバイスの名のとおり、大電力を扱うことから、デバイスの性能が直接的に機器のエネルギー効率、消費電力などへ影響し、省エネ、CO₂削減など環境にとっても重要なデバイスとなっています。

スイッチング用パワー・デバイスは、ON/OFF 制御を電圧か電流か、電流キャリアが正孔または電子の1種(ユニポーラ)か2種(バイポーラ)かなどにより、表1に示すように大別されます。メガワット・クラスの大電力用途に適する GTO (Gate Turn-off Thyristor)、比較的単純な AC 制御、ソフト・スタート回路などに使用されるサイリスタなどの電流制御型デバイスの例もありますが、やはり制御の簡単なパワー MOSFET (以下、パワー MOS と呼ぶ)、IGBT (Insulated Gate Bipolar Transistor) に代表される電圧制御型デバイス

〈表1〉代表的なパワー・スイッチング素子

基本構造	電圧駆動型	電流駆動型
ユニポーラ・タイプ	パワー MOS FET	—
バイポーラ・タイプ	IGBT	BJT ^(注) 、GTO、サイリスタ

(注)；バイポーラ・ジャンクション・トランジスタ

が優位であり、現在は中心的に使用されています。

扱う電力やスイッチング周波数により最適なパワー半導体が分かれますが、スイッチング電源におけるスイッチング素子としては高速スイッチング性能、広い安全動作領域、簡易なドライブ回路などの特徴からパワー MOS が最適であり、広く採用されています。

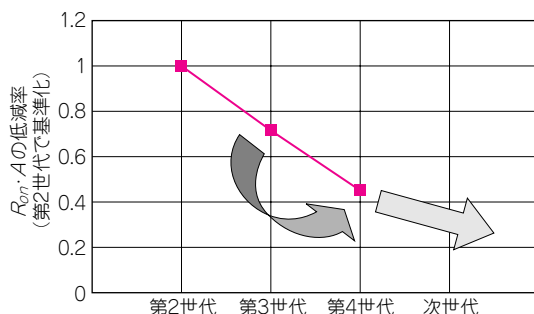
● パワー MOS の開発動向

パワー MOS の開発動向はニーズによりいろいろですが、整理すると以下ようになります。

▶ 進む低オン抵抗化

パワー MOS の ON 状態での導通抵抗を表すオン抵抗の削減は、動作損失を下げるためのもっとも重要な開発テーマとして取り組まれてきました。おおむね耐圧 100 V 以下の低耐圧タイプでは、トレンチ・ゲート構造が積極的に採用され、半導体チップ表面近傍部の抵抗を大幅に削減、さらに微細加工技術のデザイン世代ごとに低オン抵抗化が進行しています。図1に示すように、この10年程度で単位面積当たりのオン抵抗は50%以下となっています(東芝における耐圧 40 V 系パワー MOS の例)。

一方、耐圧 250 V 以上の中高耐圧パワー MOS においてもオン抵抗の低減は進行していますが、全体の抵抗に占める N-ドリフト層の抵抗分が大きく、さらなる低減は原理的に困難になってきています。そこで後述の新しいスーパージャンクション構造を採用するこ



〈図1〉40 V パワー MOS の単位面積あたりのオン抵抗変化

とで、オン抵抗を一気に1/3程度まで低減することが実現しました。

▶ もちろん低容量化も

パワーMOSをターンON/ターンOFFさせるためには、**電極間容量成分を充放電させる**必要があります。高速スイッチング、ドライブ電力の削減には、その容量成分の削減が重要です。図2に示すように $R_{on} \cdot C_{iss}$ 、 $R_{on} \cdot Q_{sw}$ などの性能指数を用いて、その低減を新世代品開発時に実現しています。

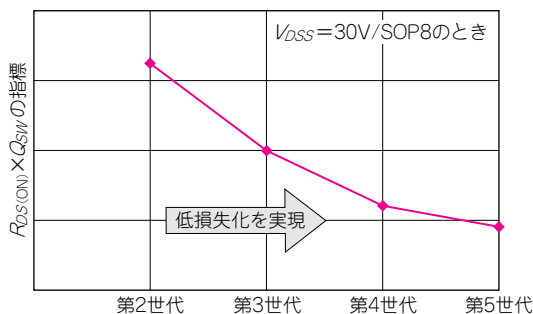
▶ 小型化に向けて…パッケージの改善

電子機器の小型・薄型化の動向に伴い、高密度実装対応・低背化への要求が高まっています。小型表面実装パッケージで**裏面に放熱フィンを設置し**、実装基板面への放熱により許容損失を増加させたパッケージが広く普及してきました(例; SOP-Advance)。

低オン抵抗化の進行とともにパッケージ外部端子とチップ間の接続方法も見直され、通常の細い金属線(ボンディング・ワイヤ)の代わりに**金属板(ストラップ)またはリボンによる接続**が使用されてきています。SOP系パッケージでは1~2mΩ程度のオン抵抗改善が確認されています。この接続方法により、放熱効果、ピーク電流耐量も改善します。

▶ 環境負荷への対応

有害物質の使用規制から外部端子に使用されるはんだの無鉛化、パッケージ材料の見直し(**ハロゲン系有害物質の削除**)が進んでいます。



〈図2〉 低オン抵抗・低容量化のトレンド

中高耐压用パワーMOSと スーパージャンクション

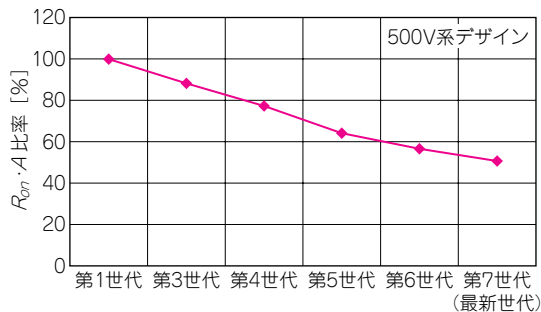
AC-DCコンバータは、数十~百数十Wの携帯電話やノートPCのチャージャ/アダプタ、数百Wの出力を必要とする薄型テレビ、パソコンやゲーム機といった家電機器、さらには数kWの産業用機器などに必ず搭載されています。これらのセットの電源高効率化のために進歩してきた中高耐压パワーMOSの開発動向を紹介します。

● 中高耐压パワーMOSの主な用途

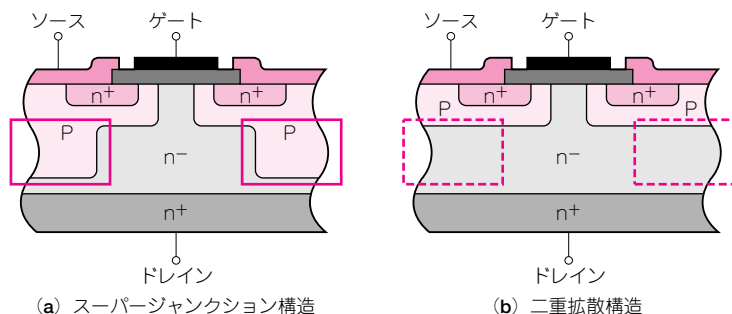
ACラインに接続される(絶縁型)AC-DCコンバータは、**ワールド・ワイド対応**を見ずると、**AC85~265Vを整流した直流電圧…最大400V程度を扱う**ことになります。力率改善(PFC: Power Factor Correction)回路や、フライバック・コンバータ、フォワード・コンバータ、共振コンバータ、フル・ブリッジ回路といった構成の中で使われるのが一般的です。

パワーMOSの**性能指標(FOM: Figure of Merit)**の一つとして、 $R_{on} \cdot A$ (単位面積あたりのオン抵抗)があります。この $R_{on} \cdot A$ はパワーMOSの**単位面積あたりのオン抵抗**を現しており、**小さいほうがより高性能なパワーMOS**ということになります。

図3に500V耐压パワーMOSをモチーフに、第1世代(π -MOS)から最新世代(π -MOS VII)までの



〈図3〉 500V系パワーMOSの $R_{on} \cdot A$ の変遷



〈図4〉 スーパージャンクション構造と二重拡散構造