

通常, FPGA に CPU コアを取り込んだ場合, そのままでシ ステムが完結することなく, ほとんどの場合さらにユーザ回路 を接続することになるでしょう.簡単な例では, GPIO 経由で ユーザ回路を接続することもできますが, それでは低速なので, バスに接続して高速に動作させる必要もあると思います.

MicroBlaze の場合,周辺 I/O モジュールを接続するバスと しては一般的に OPB バスを使用します.しかし,OPB バスに 直接 I/O モジュールを接続するには,OPB バスの仕様を理解す る必要があり,少したいへんそうです.

そこで, EDK には IPIF というインターフェースが用意され ており, OPB と簡単なユーザ・インターフェースのブリッジを 構成することができます.この IPIF を使うフローに, Import Perpheral Wizard が用意されています.今回はこれを使って, MicroBlaze にユーザ回路を接続してみましょう.



Import Peripheral Wizard のプロジェクト作成 それでは早速,この Import Peripheral Wizard(以下 IPW) を使ってみます.前回(2006年4月号)作ったプロジェクトを起 動し,メニューの Hardware Create or Import Peripheral を クリックします[図1(a)].すると,IPW 起動画面になります [図1(b)].Nextをクリックすると,バスの選択画面になりま す.今回は OPB に接続するので,OPB を選択します[図1 (c)].次に,コアの名前を付けます.拡張インターフェースと いう意味で,opb\_exif と付けました.またバージョンの管理も できます[図1(d)].

次にコアを生成する場所を指定します.図1(e)の上の選択



肢, To an EDK User Repositoryを選択すると, すべての EDK プロジェクトから参照できるようになるのですが,今の EDK プロジェクトとは別のフォルダに生成されるため, EDK プロジェクトを違う PC に移動するときなどはめんどうになり ます. 今回は To an XPS Project を選択します.

接続する IP モジュールの各種設定

次は図2(a)で新しい IP コアを作るのか, すでにある IP コア

を追加するのかを聞かれます.今回は新しく作るので,Create templates for a new peripheral を選択します.

次に IPIF の機能を設定します. DMA や FIFO, マスタ・サ ポートなどありますが,今回はシンプルな回路構成にするので, address range supportのみONにします[図2(b)]. すると, 次の画面では設定可能アドレス・レンジの数と,データ・バス 幅のビット数を聞かれます.アドレス・レンジとは,連続した

🗘 Create and Import Peripheral Wizard - Peripheral Flow	🗘 Create Peripheral – IPIF Services
Peripheral Flow Indicate if you want to create a new peripheral or import an existing peripheral.	IPIF Services Indicate the IPIF services required by your peripheral.
This tool will help you create templates for a new EDK compliant peripheral, or help you import an existing peripheral into an XPS project or EDK repository. The interface files and directory structures required by EDK will be generated.	Nor peripheral will be connected to the OPB bus through the OPB IP interface (PIF) module. Besides standard functions like address decoding, this module also offers other commonly used services. Using these services may service with implementation of your peripheral.   Image: service
More Info	More Info
(a)ペリフェラルの新規作成	
	🗇 Create Peripheral - (OPTIONAL) Peripheral Simulation Support
User Address Rance Indicate the address ranges required by your peripheral.	OPTIONAL) Peripheral Simulation Support Generate optional files for simulation using Bus Functional Models (BFM).
Certain perpherals like external memory controllers have multiple address ranges. This feature will help you design such peripherals. Number of user address ranges: Data width of each address range: 32	The EDK provides a BFM simulation platform to help you simulate your peripheral Indicate if you want this tool to generate the appropriate HDL and Bus Functional Language (BFL) stimulus file for the target bus.
More Info	More Info
	(d)Bus Function Modelの設定
	💠 Create Peripheral - (OPTIONAL) Peripheral Implementation Support
IP Interconnect (IPIC) Select the interface between the logic to be implemented in your peripheral and the IPIF.	(OPTIONAL) Peripheral Implementation Support Generate optional files for hardware/software implementation
Your peripheral is connected to the bus through a suitable IPIF module. Your peripheral interfaces to the IPIF interconnect (IPIC) interface. Some of the ports are a always present. You can choose to include the others based on the functionality required by your peripheral. POPB or PLB bus IPIF I	Upon completion, this tool will create synthesizable HDL files that implement the IPIF services you requested A stub 'user, logic' module will be created. You will need to complete the implementation of this module using standard HDL design (flows). The tool will also cenerate EDK interface files (mod/pao) for the synthesizable templates, so that you can hook up the generated peripheral to a processor system.     Peripheral (VHDL)   Note     IPIF (VHDL)   Should the peripheral interface file (Successor System).     User Logic (VHDL)   Generate Stb 'user_logic' template in Verilog instead of VHDL     User Logic (VHDL)   Generate Stb 'user_logic' template in Verilog instead of VHDL     Generate ISE and XST frow   Generate Ise boy ou implement the peripheral user XST flow
More Info Cこをクリックして選択) < Back Next> Qancel	More Info Seace Cancel

Interface May 2006