

RS-232-C ポートを使ってシリアル通信を行おう

シリアル通信インターフェースのプログラミング

吉田 幸作

マイクロプロセッサには、さまざまなインターフェースが内蔵されている。そして、マイクロプロセッサはこのインターフェースを使って外部入出力機器と接続する。本章ではRS-232-Cなどで使うシリアル・ポートの使い方について説明する。
(編集部)

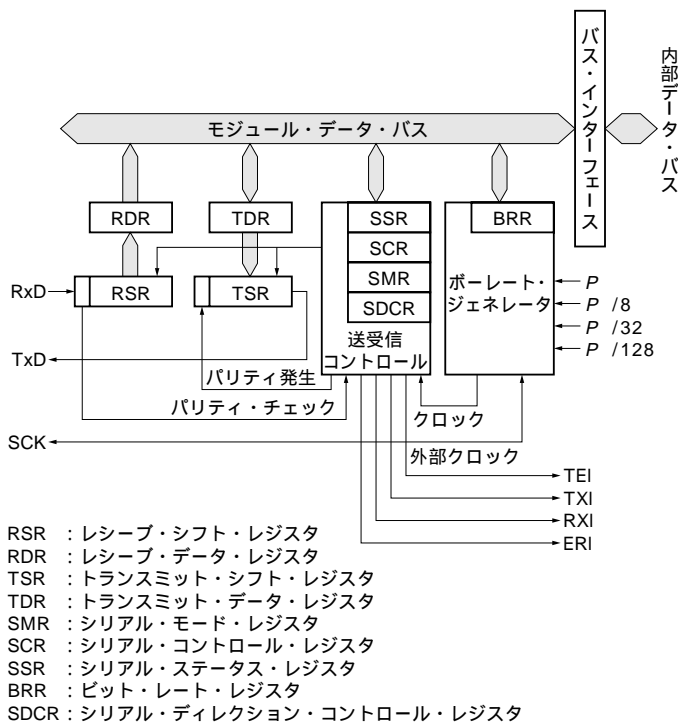


図2 SH7144FのSCI(Serial Communication Interface)のブロック図

SH7144Fのシリアル通信インターフェース

図1に示す送受信フォーマットの調歩同期式シリアル通信インターフェースは、RS-232-Cという呼称で広く使われてきました。パソコンの世界では“レガシ・デバイス”となり、徐々に姿を消しつつあります。

しかし、組み込みマイクロプロセッサの世界では、
▶ 手軽なシリアル通信方式
▶ 内蔵フラッシュ・メモリにプログラムを書き込むISP(イン・システム・プログラミング)のためのデータ送信経路として現在もよく使われています。

図2はSH7144F内蔵のSCI(シリアル・コミュニケーション・インターフェース)のブロック図です。SH7144FにはこのSCIが4チャンネル内蔵されています。各チャンネルはそれぞれチャンネル0、チャンネル1、チャンネル2、チャンネル3と呼ばれています。

表1はSH7144Fのシリアル通信端子の構成です。フロー制御などの通信制御線は備えていないので、必要なときはGPIO端子を使って疑似的な制御を行う必要があります。

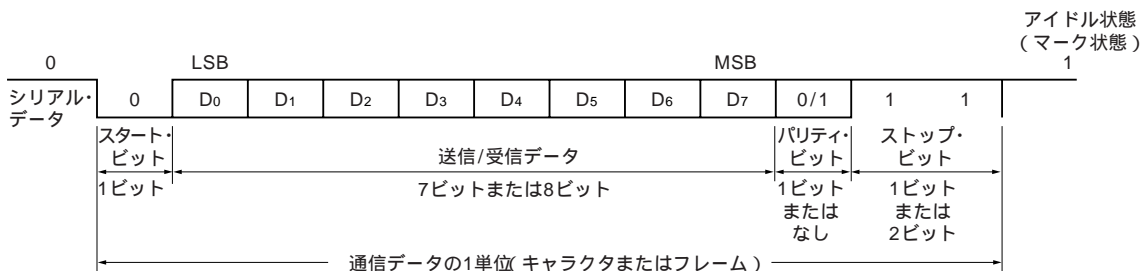


図1 調歩同期式通信のデータ・フォーマット(8ビット・データ/パリティあり/2ストップ・ビットの例)

表 1 SH7144F のシリアル通信端子の構成

チャンネル	端子名 ^注	入出力	機 能
0	SCK0	入出力	チャンネル0のクロック入出力端子
	RxD0	入力	チャンネル0の受信データ入力端子
	TxD0	出力	チャンネル0の送信データ出力端子
1	SCK1	入出力	チャンネル1のクロック入出力端子
	RxD1	入力	チャンネル1の受信データ入力端子
	TxD1	出力	チャンネル1の送信データ出力端子
2	SCK2	入出力	チャンネル2のクロック入出力端子
	RxD2	入力	チャンネル2の受信データ入力端子
	TxD2	出力	チャンネル2の送信データ出力端子
3	SCK3	入出力	チャンネル3のクロック入出力端子
	RxD3	入力	チャンネル3の受信データ入力端子
	TxD3	出力	チャンネル3の送信データ出力端子

注：本文中ではチャンネルを省略し、それぞれSCK, RxD, TxDと略称する。

シリアル通信インターフェースの 制御レジスタ

SCIの制御は図2の各レジスタをアクセスすることによって行います。各レジスタの役割は次のとおりです。

- ▶SMR 送受信モードの設定
- ▶SCR SCIの送受信許可制御
- ▶BRR 送受信ビット・レート・カウンタの分周比設定
- ▶SDCR 送受信ビット順序およびスマート・カード制御

表 2 SH7144F のSMR(Serial Mode Register)の機能表

ビット	ビット名	初期値	R/W	説 明
7	C/ \bar{A}	0	R/W	コミュニケーション・モード 0 調歩同期式モードで動作 1 クロック同期式モードで動作
6	CHR	0	R/W	キャラクタ・レングス (調歩同期式モードのみ有効) 0 データ長8ビットで送受信 1 データ長7ビットで送受信 LSB ファースト固定となり、送信ではTDRのMSB(ビット7)は送信されない。 クロック同期式モードではデータ長は8ビット固定
5	PE	0	R/W	パリティ・イネーブル (調歩同期式モードのみ有効) このビットが1のとき、送信時はパリティ・ビットを付加し、受信時はパリティ・チェックを行う。マルチプロセッサ・フォーマットでは、このビットの設定にかかわらず、パリティ・ビットの付加、チェックは行わない
4	O/ \bar{E}	0	R/W	パリティ・モード (調歩同期式モードでPE = 1のときのみ有効) 0 偶数パリティで送受信 1 奇数パリティで送受信

SMRの設定				シリアル送信/受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビット・データ								STOP			
0	0	0	1	S	8ビット・データ								STOP	STOP		
0	1	0	0	S	8ビット・データ								P	STOP		
0	1	0	1	S	8ビット・データ								P	STOP	STOP	
1	0	0	0	S	7ビット・データ							STOP				
1	0	0	1	S	7ビット・データ							STOP	STOP			
1	1	0	0	S	7ビット・データ							P	STOP			
1	1	0	1	S	7ビット・データ							P	STOP	STOP		
0	x	1	0	S	8ビット・データ								MPB	STOP		
0	x	1	1	S	8ビット・データ								MPB	STOP	STOP	
1	x	1	0	S	7ビット・データ							MPB	STOP			
1	x	1	1	S	7ビット・データ							MPB	STOP	STOP		

S: スタート・ビット STOP: ストップ・ビット P: パリティ・ビット
MPB: マルチプロセッサ・ビット X: Don't care

図 3 シリアル送信/受信フォーマット(調歩同期式モード)

ビット	ビット名	初期値	R/W	説 明
3	STOP	0	R/W	ストップ・ビット・レングス (調歩同期式モードのみ有効) 送信時のストップ・ビットの長さを 選択する。 0 1ストップ・ビット 1 2ストップ・ビット 受信時は、このビットの設定にかかわらず、ストップ・ビットの1ビット目のみチェックし、2ビット目が0の場合は次の送信フレームのスタート・ビットとみなす
2	MP	0	R/W	マルチプロセッサ・モード (調歩同期式モードのみ有効) このビットが1のとき、マルチプロセッサ通信機能がイネーブルになる。マルチプロセッサ・モードではPE、O/ \bar{E} ビットの設定は無効
1	CKS1	0	R/W	クロック・セレクト1~0 内蔵ポーレート・ジェネレータのクロック・ソースを選択する。 00 $P\phi$ クロック($n = 0$) 01 $P\phi/8$ クロック($n = 1$) 10 $P\phi/32$ クロック($n = 2$) 11 $P\phi/128$ クロック($n = 3$)
0	CKS0	0	R/W	このビットの設定値とポーレートの関係については、表5を参照。nは設定値の10進表示で、表5中のnの値を表す

