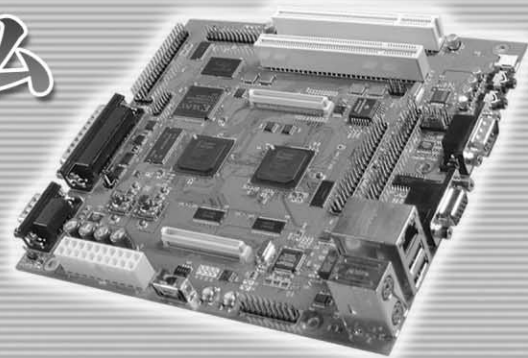


# コンピュータ・システム 技術学習キット 活用通信



山武 一朗

## 第8回 M32R ソフト・コアの FPGA への実装事例

今回は、前回紹介した M32R ソフト・コア(ルネサス テクノロジ製)を、実際に FPGA に実装する場合の具体的手順について解説します。

### 1 M32R ソフト・コアの組み込み手順

EDK は使えない?!

連載第2回から第6回で解説したソフト・コア(ソフト CPU コアともいう)MicroBlaze は、EDK という設計ツールを使うことで簡単に Xilinx 社製の FPGA に組み込むことができました。しかし、特定のベンダのデバイスや設計ツールに依存しない汎用ソフト・コアの場合は、どのようにして FPGA に実装するのでしょうか。

本キットに添付予定の M32R ソフト・コアも、基本的には特定のデバイスや設計ツールに依存しない、汎用のソフト・コアです[ただし、実際には本キットに添付の M32R ソフト・コア評価版は、本キットに実装している FPGA 専用(Spartan3/1500)に設計されている]。

ソフト・コアといっても、何も特別なツールが必要なわけではありません。Xilinx 社製デバイスの場合は設計ツール ISE を使って、ユーザ回路といっしょに論理合成 & 配置配線を行い、最終的にビット・ストリーム・ファイルを作成します。もちろん、無償で使える設計ツール ISE WebPACK でも、M32R ソフト・コアを組み込むことができます。

IP コアのファイル提供の方法

IP コアのファイル提供方法には、一般的に次の二つの方法があります。

(1) HDL ソース提供

(2) ネット・リスト提供

本キット添付の M32R ソフト・コアは、後者のネット・リストで提供されています。そのため CPU コアの中身を改造してカスタマイズすることはできませんが、CPU コアのバスに周辺機能を接続して、一つのデバイスに実装することが可能になっています。つまり、ユーザの手元で SoC (System On Chip) を実際に設計し、動作させてみるができるのです。

なお、Xilinx 社製デバイスで扱うネット・リスト形式は、括

張子が ngc というファイルになります。

### 2 M32R ソフト・コア・モジュールの I/O 信号の設定

2 種類のネット・リスト

前回解説があったように、本キットに添付される M32R ソフト・コアのネット・リストは、図1に示すような2種類の構成があります。

構成1は、CPU コアとキャッシュ、JTAG デバッグ・モジュールなど、いわゆる素の CPU だけのモジュールで、ネット・リストの I/O 信号としては、M32R コアの生のバスが直接出ているタイプです。CPU コアにはキャッシュも内蔵されているので、キャッシュ・フィル時はメモリのバースト・リード・アクセスが、ライト・バック時にはバースト・ライト・アクセスが発生します。この M32R の生のバスを直接扱うには、CPU コアの動作に関する深い理解が必要で、このバスにユーザ回路を接続するのはちょっと難易度が高そうです。

もう一つの構成2は、構成1に追加して、割り込みコントローラやタイマ、シリアル、ポート、SDRAM コントローラやブロック・セレクト・コントローラと呼ばれる外部バス・コントローラまでが内蔵されたものです。こちらのネット・リストの I/O 信号には、それぞれのコントローラが外部と通信するための信号が出ています。SDRAM コントローラからは SDRAM を接続するための信号が直接出ているので、何も考えずに対応する信号を SDRAM の各信号ピンと接続するだけで、SDRAM を問題なく読み書きすることができます。また、ブロック・セレクト・コントローラから出てくる外部バス信号も、一般的な組み込み向け CPU のローカル・バスと同様です。こちらのネット・リストを使ったほうが、簡単にユーザ回路を接続できそうです。

構成2のネット・リストを使う理由

以上のような理由から、今回は構成2のネット・リストを使うことにします。これにはもう一つ理由があります。

一般的に M32R のプログラムは SDRAM 上に格納します。ここで構成1のネット・リストを使った場合は、SDRAM コントローラも自前で用意する必要があります。また、SDRAM コン

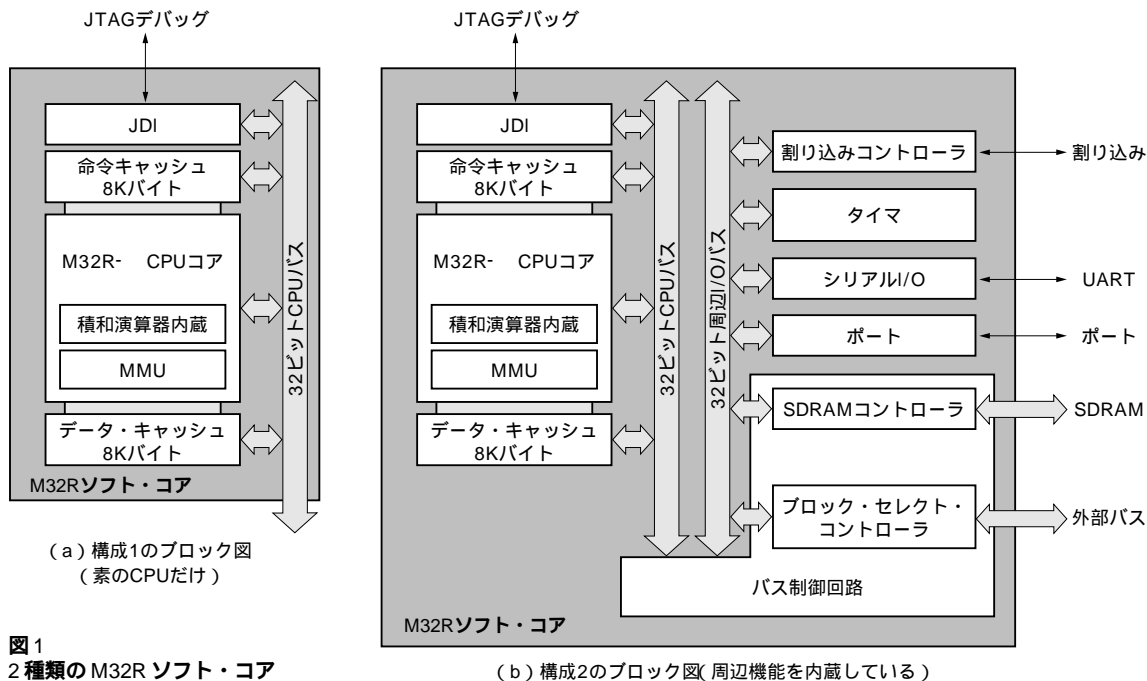


図1  
2種類のM32Rソフト・コア

表1 構成2のCPUコア・モジュールのI/O信号一覧

信号名	入出力	名称
CXXIN	入力	システム・クロック
CXRESET	入力	システム・リセット
CXBCLK	出力	バス・クロック
CXRDO ~ 31	入力	リード・データ・バス
CXWDO ~ 31	出力	ライト・データ・バス
CXWDAT_OEN	出力	ライト・データ・バス出力イネーブル
CXBSEL0 ~ 7	出力	ブロック・セレクト
CXROMSZ	入力	BSEL0バス幅
CXA6 ~ 30 <sup>注</sup>	出力	アドレス・バス
CXWS0 ~ 3 <sup>注</sup>	出力	ライト・ストロープ
CXRS	出力	リード・ストロープ
CXREADY	入力	レディ

注：正確にはCXA30とCXWS2は1本の信号で、データ・バス幅が32ビットの時はCXWS2として、16ビットの時はCXA30として動作する(片他動作)

(a) 外部バス系信号

信号名	入出力	名称
CXTXD	出力	送信データ
CXRXD	入力	受信データ
CXRTS	出力	フロー制御出力
CXCTS	入力	フロー制御入力

(c) UART系信号

信号名	入出力	名称
CXSDCLK	出力	SDRAM駆動用クロック
CXDCKE	出力	クロック・イネーブル
CXBA	出力	バンク・アドレス
CXMA12 ~ 0	出力	アドレス・バス
CXDQM3 ~ 0	出力	データ出力マスク
CXDCS1 ~ 0	出力	チップ・セレクト
CXDRAS	出力	RAS
CXDCAS	出力	CAS
CXDWE	出力	WE
CXSDRDAT31 ~ 0	入力	リード・データ・バス
CXSDWDAT31 ~ 0	出力	ライト・データ・バス
CXSDWDAT_OEN	出力	ライト・データ・バス出力イネーブル

(b) SDRAM系信号

信号名	入出力	名称
CXTCK	入力	TCK
CXTRST	入力	TRST
CXTMS	入力	TMS
CXTDI	入力	TDI
CXTDO	出力	TDO
CXDDBI	入力	DBI

(d) JTAGデバッグ系信号

信号名	入出力	名称
CXPx_OUT0 ~ 7	出力	ポート出力信号
CXPx_IN0 ~ 7	入力	ポート入力信号
CXPx_OEN0 ~ 7	出力	ポート出力イネーブル信号

注：xはポート番号で、0～9まで合計80ビット分

(e) ポート系信号

信号名	入出力	名称
CXSBI	入力	システム・ブレーク割り込み
CXINT0 ~ 7	入力	外部割り込み入力

(f) 割り込み系信号

トローラそのものは十分に信頼のおけるIPコアを使ったとしても、それをM32Rコアと接続する部分は、だれかが記述しなければなりません。ここでもし、CPUとSDRAMの間の接続に問題があり、CPUが正常にメモリをアクセスできない場合は、たとえプログラムと接続したユーザ回路は正しくても、システムとして正常な動作は望めず、原因の究明が難しくなります。構成2を使うとSDRAMコントローラまで含まれているので、