

ARMプロセッサの 最新アーキテクチャv7への進化

中島 理志 / 五月女 哲夫

長い歴史をもつARMアーキテクチャは、v4で現在の骨格が確立し、そこから最新版のv7まで段階を踏んで進化を遂げている。ここではv4以降のアーキテクチャについてその概要を解説する。とくに最新版であるv7については重点的に説明する。v7アーキテクチャでは、アプリケーション用、リアルタイム制御用、MCU用の三つのプロファイルが導入されている。(編集部)

1. ARM アーキテクチャの 進化の方向性

● ソフトウェアの互換性を重視しながら進化

ARMのアーキテクチャは、ソフトウェアの互換性を重視し

て進化してきました。図1に、これまでのARMプロセッサのアーキテクチャの進化の歴史を示します。現在、ARM社からライセンスされているプロセッサIP (Intellectual Property) コアのアーキテクチャ・バージョンは、すべてv4T以降です。したがって、ここでのアーキテクチャ・バージョンの説明もv4Tから始めることにします。ただし、v4以前のアーキテクチャ

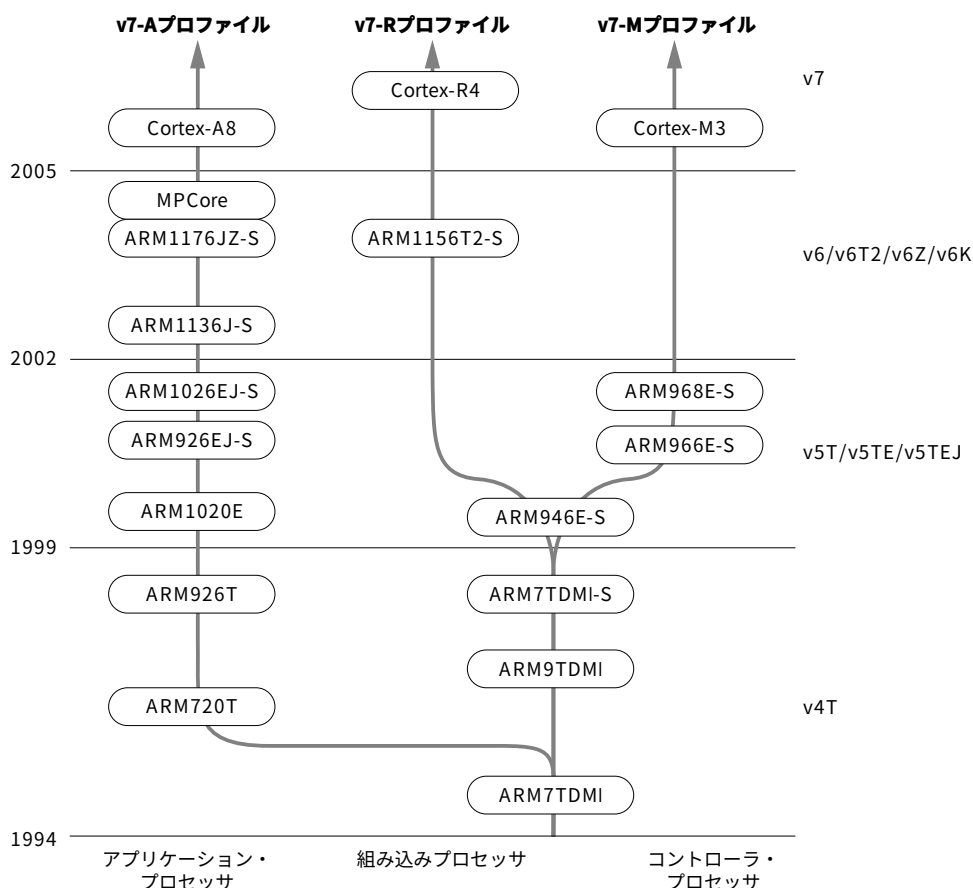


図1
ARMプロセッサのアーキテクチャの
進化

もあるので、当然一番始まりのバージョンである v1 も存在します。

アーキテクチャ v4 は、以後の ARM プロセッサに共通する機能がそろった最初のバージョンです。このバージョンで ARM アーキテクチャの骨格が確立したといえます。そこで本稿では、v4 以降のアーキテクチャである v4T、v5、v6、v7 について解説します。

2. アーキテクチャ v4T から v7 への進化

● アーキテクチャ・バージョンに共通の仕様

まず表 1 に、すべてのアーキテクチャ・バージョンに共通な仕様を示します。各アーキテクチャ・バージョンで追加された部分は、以下に説明します。

● アーキテクチャ v4T の特徴

年 代	1994 年以降
対応プロセッサ	ARM7TDMI, ARM720T, ARM920T

アーキテクチャ v4T では Thumb 命令セットが追加されました。Thumb 命令セットは 32 ビット固定長の ARM 命令セットのサブセットで、16 ビット固定長です。機能的には ARM 命令セットのサブセットですが、命令長が短いため、頻出する命令を 16 ビット長で表現することにより、高いコード効率を実現できます。コンパイラが生成するオブジェクトは ARM 命令の全機能を使いこなせるわけではないので、コンパイラのターゲットの観点からは Thumb 命令セットのほうが相性がよいともいえます。また、ハーフワードのロード/ストアが行えるようになったのもこのバージョンからです。

v4T を使った代表的なプロセッサ IP コアの実装として ARM7TDMI があります。ARM7TDMI は今でもライセンスが増え続けている超ロングセラーのプロセッサ IP コアで、型名の末尾の TDMI は ARM7 の機能が段階的に増えていった経緯を物語っています。たとえば T は前述の Thumb 命令セットが追加されていることを示し、D はデバッグ機能を、M は乗算器の強化を、I は In Circuit Debug 回路の追加を示しています。

ARM7TDMI は 3 段パイプラインで、命令とデータがバスを共有する整数コアですが、これにキャッシュ・メモリや MMU (Memory Management Unit) を付けたのが ARM720T です。また、v4T アーキテクチャのままで実装を 5 段パイプラインのハーフワード・アーキテクチャにしたのが ARM9TDMI で、これを使ってプロセッサ IP コアを実装したものが ARM920T です。

● アーキテクチャ v5 (v5T, v5TE, v5TEJ) の特徴

年 代	1999 年以降
対応プロセッサ	ARM1020E/1022E (v5T), ARM946E-S/ARM966E-S/ARM968E-S (v5TE), ARM7EJ-S/ARM926EJ-S/ARM1026EJ-S (v5TEJ)

アーキテクチャ v5 には、v5T、v5TE、v5TEJ というバー

表 1 すべてのアーキテクチャ・バージョンに共通する仕様

プロセッサ	32 ビット RISC プロセッサ
I/O	メモリ・マップト I/O
アドレス空間	4G バイト
レジスタ	16 個の 32 ビット汎用レジスタ 動作モードごとのレジスタ・バンク
動作モード	七つ (User, Supervisor, Abort, Undefined, System, IRQ, FIQ)
命令セット	32 ビット固定長 ARM 命令セット 16 ビット固定長 Thumb 命令セット 3 オペランド命令 命令の条件実行 LDM/STM に代表される一部 CISC 風の命令
割り込み	IRQ, FIQ の 2 本の外部割り込み

ジョンがあります。

v5T では命令セットに細かい改良がなされました。ソフトウェア・ブレイクポイント命令の追加や、数値の正規化などに使われる CLZ (Count Leading Zeros) 命令の追加などです。

v5TE では DSP 用命令が追加されました。具体的には乗算や積和演算の命令バリエーションの拡充やダブルワード転送の追加、飽和演算命令の追加などです。追加命令から見てわかるように、このころからプロセッサの処理は制御だけではなく、マルチメディア・データの処理なども増えてきました。

v5TE-J は、v5TE に Jazelle 機能を追加したものです。一般に、Java のバイト・コードは中間言語インタープリタで実行されますが、このアーキテクチャでは、実行速度を上げるためにバイト・コードをプロセッサが直接実行できるようにしています。これは、携帯電話でダウンロードされる Java アプリケーションを処理するようになってきたことに対応したものです。

v5 アーキテクチャを実装したプロセッサ IP コアには、ARM7 ファミリーから ARM10 ファミリーまで多くのバリエーションが存在します。たとえば v5TEJ の場合、ARM7 ファミリーの実装もあれば ARM10 ファミリーの実装もあります。

アーキテクチャと直接関係はありませんが、v5 アーキテクチャの時代に SoC (System On a Chip) の作り方に少しずつ変化が生じました。ライセンスが EDA (Electronic Design Automation) ツールを使って社内での論理合成から配置配線まで行うようになったのです。そのため、ARM 社が IP コアを供給する形態も、以前のレイアウト・データから RTL (Register Transfer Level) データへと変わってきました。型名に -S が付くコアは、RTL 形態で供給される論理合成型であることを示しています。

● アーキテクチャ v6 (v6, v6T2, v6Z, v6K)

年 代	2002 年以降
対応プロセッサ	ARM1136J(F)-S (v6), ARM1156T2(F)-S (v6T2), ARM1176JZ (F)-S (v6Z), MPCore (v6K)

アーキテクチャ v6 では多くの点で強化が図られました。

まず、命令セットの拡張に関する大きな強化は SIMD (Single